

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-116986

(43)Date of publication of application : 06.05.1998

(51)Int.Cl.

H01L 29/78
H01L 21/336
H01L 21/28

(21)Application number : 09-002963

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 10.01.1997

(72)Inventor : MAEDA ATSUSHI

(30)Priority

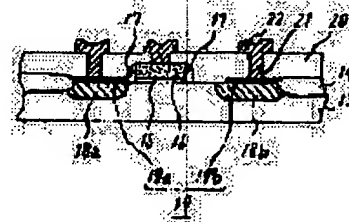
Priority number : 08221326 Priority date : 22.08.1996 Priority country : JP

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce contact resistance by silicide technique, reduce the resistance of electrodes such as a gate, a source, a drain, etc., and improve transistor properties such as breakdown strength between the gate and the drain by making the gate electrode in offset structure in a MOS type transistor.

SOLUTION: After formation of a gate electrode 16, source and drain regions 18a and 18b are made offset by the ion implantation using a resist mask 26, and silicide layers 19a and 19b are made on the source and drain regions 18a and 18b, using a silicide technique, in condition that a protective film 23 is made extending over the surface of the semiconductor substrate 13, covering the gate electrode 16, so that the position of one end of the pattern may be apart from the gate electrode 16 more than the resist mask 16.



LEGAL STATUS

[Date of request for examination]

10.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor device characterized by having had the following, having estranged at least one side of the above-mentioned source drain field by the above-mentioned gate electrode and predetermined clearance, and estranging further the above-mentioned silicide layer of the source drain field front face concerned from the above-mentioned gate electrode rather than the source drain field concerned. The gate electrode formed through the gate insulator layer on the semiconductor substrate which consists of single crystal silicon. The source drain field formed in the both sides of this gate electrode. The silicide layer formed in this source drain field front face by the Salicide technology.

[Claim 2] The semiconductor device according to claim 1 characterized by having approached the source field with the gate electrode and estranging a drain field by the above-mentioned gate electrode and predetermined clearance.

[Claim 3] The semiconductor device characterized by arranging the MOS transistor which was equipped with the following, estranged the above-mentioned source field by the above-mentioned gate electrode and predetermined clearance, and estranged further the above-mentioned silicide layer of the source field front face concerned from the above-mentioned gate electrode rather than this source field in the input output buffer which receives an external signal. The gate electrode formed through the gate insulator layer on the semiconductor substrate which consists of single crystal silicon. The source drain field formed in the both sides of this gate electrode. The silicide layer formed in this source drain field front face by the Salicide technology.

[Claim 4] The semiconductor device according to claim 1 to 3 characterized by forming the silicide layer by the Salicide technology also in a gate electrode front face.

[Claim 5] The semiconductor device according to claim 1 to 3 characterized by considering as the two-layer structure on which the polysilicon contest film and the silicide layer carried out the laminating of the gate electrode, and deposited it.

[Claim 6] The semiconductor device which is equipped with the following and characterized by forming the sidewall spacer by the side of the above-mentioned drain field in thick width of face among the above-mentioned sidewall spacers compared with the sidewall spacer by the side of the above-mentioned source field. The gate electrode formed through the gate insulator layer on the semiconductor substrate which consists of single crystal silicon. The sidewall spacer formed in the side attachment wall of these gate electrode both sides. The source drain field formed in the outside of the above-mentioned gate electrode in which this sidewall spacer was formed. The silicide layer formed in the front face of this source drain field and the above-mentioned gate electrode by the Salicide technology.

[Claim 7] The semiconductor device according to claim 6 characterized by forming the sidewall spacer by the side of a drain field by the width of face of the size which do not exceed about 0.2 micrometers.

[Claim 8] The semiconductor device according to claim 6 or 7 characterized by forming the sidewall spacer by the side of a source field by width of face with a size of about 0.1 micrometers.

[Claim 9] The semiconductor device which is equipped with the following and characterized by arranging the MOS transistor which formed the sidewall spacer by the side of the above-mentioned source field in thick width of face among the above-mentioned sidewall spacers compared with the sidewall spacer by the side of the above-mentioned drain field in the input output buffer which receives an external signal. The gate electrode formed through the gate insulator layer on the semiconductor substrate which consists of single crystal silicon. The sidewall spacer formed in the side attachment wall of these gate electrode both sides. The source drain field formed in the outside of the above-mentioned gate electrode in which this sidewall spacer was formed. The silicide layer formed in the front face of this source drain field and the above-mentioned gate electrode by the Salicide technology.

[Claim 10] The semiconductor device characterized by providing the following. The gate electrode formed through the gate insulator layer on the semiconductor substrate which consists of single crystal silicon. The sidewall spacer formed in one side attachment wall of this gate electrode. The insulator layer pattern which covers the side-attachment-wall front face of another side from on the above-mentioned gate electrode, and extends on the above-mentioned semiconductor substrate. The silicide layer formed in the front face of the source field formed in the outside of the above-mentioned sidewall spacer, the drain field which are formed in the outside of the above-mentioned insulator layer pattern, the LDD field which adjoin this drain field and are formed in the above-mentioned insulator layer pattern lower layer, the field in which the above-mentioned insulator layer pattern of the above-mentioned gate electrode is not formed and the above-mentioned source field, and the above-mentioned drain field by Salicide technology.

[Claim 11] The semiconductor device according to claim 10 characterized by forming a sidewall spacer by width of face with a size of about about 0.1 micrometers.

[Claim 12] The semiconductor device characterized by arranging in the input output buffer which is characterized by providing the following, and which receives an external signal for a MOS transistor. The gate electrode formed through the gate insulator layer on the semiconductor substrate which consists of single crystal silicon. The sidewall spacer formed in one side attachment wall of this gate electrode. The insulator layer pattern which covers the side-attachment-wall front face of another side from on the above-mentioned gate electrode, and extends on the above-mentioned semiconductor substrate. The silicide layer formed in the front face of the drain field formed in the outside of the above-mentioned sidewall spacer, the source field which are formed in the outside of the above-mentioned insulator layer pattern, the LDD field which adjoin this source field and are formed in the above-mentioned insulator layer pattern lower layer, the field in which the above-mentioned insulator layer pattern of the above-mentioned gate electrode is not formed and the above-mentioned source field, and the above-mentioned drain field by Salicide technology.

[Claim 13] The process which forms a gate electrode through a gate insulator layer on the semiconductor substrate which consists of single crystal silicon, Cover the above-mentioned gate electrode, cross it to the adjoining above-mentioned semiconductor substrate front face, and a protective coat is formed. With the process which forms a silicide layer in the above-mentioned semiconductor substrate front face of the above-mentioned gate electrode both sides with the Salicide technology, and the ion implantation using the resist mask The above-mentioned gate electrode and the process which forms the source drain field which at least one side estranged by predetermined clearance, The manufacture method of the semiconductor device characterized by the thing used as the position which ****(ed) and is distant from the above-mentioned gate electrode from the edge position of the above-mentioned resist mask in the edge position in the above-mentioned semiconductor substrate front face of the above-mentioned protective coat done for an appearance setup.

[Claim 14] The process which forms a gate electrode through a gate insulator layer on the semiconductor substrate which consists of single crystal silicon, A protective coat is formed so that the above-mentioned semiconductor substrate front face may not be exposed over predetermined width of face on the above-mentioned semiconductor substrate which adjoins this gate electrode from the gate electrode edge concerned. with the Salicide technology With

the process which forms a silicide layer in the above-mentioned gate electrode front face and the above-mentioned semiconductor substrate front face of the both sides, and the ion implantation using the resist mask. The above-mentioned gate electrode and the process which forms the source drain field which at least one side estranged by predetermined clearance. The manufacture method of the semiconductor device characterized by the thing used as the position which ****(ed) and is distant from the above-mentioned gate electrode in one edge position of the above-mentioned protective coat from the edge position in the above-mentioned semiconductor substrate front face of the above-mentioned resist mask done for an appearance setup.

[Claim 15] The manufacture method of a semiconductor device characterized by providing the following. The process which forms the 1st insulator layer in the whole surface, carries out anisotropic etching of this 1st insulator layer, and forms the 1st sidewall spacer in the side attachment wall of the above-mentioned gate electrode both sides after forming a gate electrode in the predetermined field on a semiconductor substrate. Subsequently, the process which covers the above-mentioned gate electrode and the sidewall spacer of the above 1st, and forms the 2nd insulator layer in the whole surface. Subsequently, the process as for which the 2nd insulator layer of the above in the sidewall front face of the above 1st of one side of the above-mentioned gate electrode decreases thickness alternatively by the isotropic etching using the resist mask. Carry out whole surface anisotropic etching of the 2nd insulator layer of the account of Gokami, and a sidewall spacer is further formed in the outside of the sidewall spacer of the above 1st. With the process which forms the 2nd sidewall spacer with which width of face is different by right and left on the above-mentioned gate electrode side attachment wall, and the Salicide technology. The process which forms a silicide layer in the above-mentioned gate electrode front face and the above-mentioned semiconductor substrate front face of the sidewall spacer outside of the above 2nd, and the process which forms a source drain field with the ion implantation which used the above-mentioned gate electrode and the sidewall spacer of the above 2nd as the mask.

[Claim 16] The manufacture method of a semiconductor device characterized by providing the following. The sidewall spacer which forms an insulator layer in the whole surface, uses a resist mask for this insulator layer, gives anisotropic etching alternatively, and is arranged by one side attachment wall of the above-mentioned gate electrode after forming a gate electrode in the predetermined field on a semiconductor substrate. The process which forms the insulator layer pattern which covers the side-attachment-wall front face of another side from on the above-mentioned gate electrode, and extends on the above-mentioned semiconductor substrate. The process which forms a silicide layer in the above-mentioned gate electrode front face of the field which is not covered by the above-mentioned sidewall spacer and the above-mentioned insulator layer pattern, and the above-mentioned semiconductor substrate front face of the both sides with the Salicide technology. The process which forms a high-concentration source drain field and the low-concentration LDD field which adjoins one side of this source drain field, and is arranged in the above-mentioned insulator layer pattern lower layer with the above-mentioned gate electrode, the above-mentioned sidewall, and the ion implantation that used the above-mentioned insulator layer pattern as the mask.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] Especially this invention relates to the structure of a MOS transistor where a gate electrode is offset structure, and its manufacture method, about a semiconductor device.

[0002]

[Description of the Prior Art] Drawing 41 is the cross section showing an example of the structure of the MOS transistor which has the gate electrode of the conventional offset structure. The semiconductor substrate to which 1 changes from a silicon single crystal in drawing (a substrate is called hereafter), The field insulator layer for isolation by which 2 was formed in the substrate 1, the gate insulator layer by which 3 was formed on the substrate 1, The gate electrode by which 4 was formed through the gate insulator layer 3 on the substrate 1 and which consists of contest polysilicon, The sidewall spacer with which 5 was formed in gate electrode 4 side attachment wall and which consists of an oxide film, and 6a and 6b are the source fields and drain fields which were formed in the right-and-left both sides of the gate electrode 4 on substrate 1 front face. As shown in drawing 41, pressure-proofing between gate drains is raised by making it the offset structure which was made to estrange the gate electrode 4 with drain field 6b, and formed it.

[0003] Next, drawing 42 is the cross section showing the structure and the manufacture method of a MOS transistor using the conventional Salicide (SALICIDE: Self Aligned Silicide) technology. As shown in drawing, after using the LOCOS method for a substrate 1 and forming the field insulator layer 2 first, the gate electrode 8 and the sidewall spacer 9 which consist of the gate insulator layer 7 and contest polysilicon by the well-known method are formed one by one (drawing 42 (a)). Next, the source drain fields 10a and 10b are formed in a self-adjustment target with ion-implantation (drawing 42 (b)). Next, by depositing the Ti film 11 on the whole surface (drawing 42 (c)), and performing RTA (Rapid Thermal Annealing) processing to a substrate 1 after that, the Ti film 11 on silicon and the silicon of a ground are made to react, and conversion is carried out to the silicide layer 12. Then, the unreacted Ti film 11 is removed (drawing 42 (d)).

[0004] this shows drawing 42 (d) — as — silicon 8, i.e., gate electrode, top and source drain field 10a and 10b top — low — the silicide layer [****] 12 — self — it is formed conformably and low resistance-ization of electrodes, such as reduction of contact resistance, and the gate, a source drain, can be attained

[0005]

[Problem(s) to be Solved by the Invention] The MOS transistor using the conventional Salicide technology had the following troubles, in order to have applied to the MOS transistor from which the gate electrode 4 as showed such Salicide technology by drawing 41 has offset structure, since it was manufactured as mentioned above. Namely, since the gate electrode 4 estranges with drain field 6b and is formed, If it will be in the state where the silicon front face of a substrate 1 was exposed between the gate electrode 4 and drain field 6b and the silicide layer 12 is formed after this using the Salicide technology Since the silicide layer 12 is formed also in th

gate electrode 4 and substrate 1 front face between drain field 6b as shown in drawing 43, the effect by offset structures, such as improvement in pressure-proofing between gate drains, is not acquired.

[0006] This invention is made in order it cancels the above troubles, and aim at offering the structure where of both the reduction in resistance of electrodes, such as reduction-izing of the contact resistance by Salicide technology and the gate, and a source drain, and improvement in transistor characteristics, such as improvement in pressure-proofing between gate drains by making a gate electrode into offset structure, can aim at, and the manufacture method suitable for it in a MOS transistor.

[0007]

[Means for Solving the Problem] The gate electrode formed through the gate insulator layer on the semiconductor substrate to which the semiconductor device concerning the claim 1 of this invention changes from single crystal silicon, It has the source drain field formed in the both sides of this gate electrode, and the silicide layer formed in this source drain field front face by the Salicide technology. At least one side of the above-mentioned source drain field is estranged by the above-mentioned gate electrode and predetermined clearance, and the above-mentioned silicide layer of the source drain field front face concerned is further estranged from the above-mentioned gate electrode rather than the source drain field concerned.

[0008] The semiconductor device concerning the claim 2 of this invention approaches a source field with a gate electrode, and estranges a drain field by the above-mentioned gate electrode and predetermined clearance.

[0009] The gate electrode formed through the gate insulator layer on the semiconductor substrate to which the semiconductor device concerning the claim 3 of this invention changes from single crystal silicon, It has the source drain field formed in the both sides of this gate electrode, and the silicide layer formed in this source drain field front face by the Salicide technology. The MOS transistor which estranged the above-mentioned source field by the above-mentioned gate electrode and predetermined clearance, and estranged further the above-mentioned silicide layer of the source field front face concerned from the above-mentioned gate electrode rather than this source field is arranged in the input output buffer which receives an external signal.

[0010] The semiconductor device concerning the claim 4 of this invention forms the silicide layer by the Salicide technology also in a gate electrode front face.

[0011] Let the semiconductor device concerning the claim 5 of this invention be the two-layer structure on which the polysilicon contest film and the silicide layer carried out the laminating of the gate electrode, and deposited it.

[0012] The gate electrode formed through the gate insulator layer on the semiconductor substrate to which the semiconductor device concerning the claim 6 of this invention changes from single crystal silicon, The sidewall spacer formed in the side attachment wall of these gate electrode both sides, The source drain field formed in the outside of the above-mentioned gate electrode in which this sidewall spacer was formed, It has the silicide layer formed in the front face of this source drain field and the above-mentioned gate electrode by the Salicide technology. The sidewall spacer by the side of the above-mentioned drain field is formed in thick width of face among the above-mentioned sidewall spacers compared with the sidewall spacer by the side of the above-mentioned source field.

[0013] The semiconductor device concerning the claim 7 of this invention forms the sidewall spacer by the side of a drain field by the width of face of the size which does not exceed about 0.2 micrometers.

[0014] The semiconductor device concerning the claim 8 of this invention forms the sidewall spacer by the side of a source field by width of face with a size about 0.1 micrometers.

[0015] The gate electrode formed through the gate insulator layer on the semiconductor substrate to which the semiconductor device concerning the claim 9 of this invention changes from single crystal silicon, The sidewall spacer formed in the side attachment wall of this gate electrode both sides, The source drain field formed in the outside of the above-mentioned gate electrode in which this sidewall spacer was formed, It has the silicide layer formed in the front

face of this source drain field and the above-mentioned gate electrode by the Salicide technology. The MOS transistor which forms the sidewall spacer by the side of the above-mentioned source field in thick width of face among the above-mentioned sidewall spacers compared with the sidewall spacer by the side of the above-mentioned drain field is arranged in the input output buffer which receives an external signal.

[0016] The gate electrode formed through the gate insulator layer on the semiconductor substrate to which the semiconductor device concerning the claim 10 of this invention changes from single crystal silicon, The sidewall spacer formed in one side attachment wall of this gate electrode, The insulator layer pattern which covers the side-attachment-wall front face of another side from on the above-mentioned gate electrode, and extends on the above-mentioned semiconductor substrate, The source field formed in the outside of the above-mentioned sidewall spacer, and the drain field formed in the outside of the above-mentioned insulator layer pattern, The LDD field which adjoins this drain field and is formed in the above-mentioned insulator layer pattern lower layer, It has the silicide layer formed in the front face of the field in which the above-mentioned insulator layer pattern of the above-mentioned gate electrode is not formed, the above-mentioned source field, and the above-mentioned drain field by the Salicide technology.

[0017] The semiconductor device concerning the claim 11 of this invention forms a sidewall spacer by width of face with a size of about about 0.1 micrometers.

[0018] The gate electrode formed through the gate insulator layer on the semiconductor substrate to which the semiconductor device concerning the claim 12 of this invention changes from single crystal silicon, The sidewall spacer formed in one side attachment wall of this gate electrode, The insulator layer pattern which covers the side-attachment-wall front face of another side from on the above-mentioned gate electrode, and extends on the above-mentioned semiconductor substrate, The drain field formed in the outside of the above-mentioned sidewall spacer, and the source field formed in the outside of the above-mentioned insulator layer pattern, The LDD field which adjoins this source field and is formed in the above-mentioned insulator layer pattern lower layer, The MOS transistor which has the silicide layer formed in the front face of the field in which the above-mentioned insulator layer pattern of the above-mentioned gate electrode is not formed, the above-mentioned source field, and the above-mentioned drain field by the Salicide technology is arranged in the input output buffer which receives an external signal.

[0019] The manufacture method of the semiconductor device concerning the claim 13 of this invention The process which forms a gate electrode through a gate insulator layer on the semiconductor substrate which consists of single crystal silicon, Cover the above-mentioned gate electrode, cross it to the adjoining above-mentioned semiconductor substrate front face, and a protective coat is formed. With the process which forms a silicide layer in the above-mentioned semiconductor substrate front face of the above-mentioned gate electrode both sides with the Salicide technology, and the ion implantation using the resist mask It has the above-mentioned gate electrode and the process which forms the source drain field which at least one side estranged by predetermined clearance, and it becomes the position which is distant from the above-mentioned gate electrode from the edge position of the above-mentioned resist mask, and an appearance setup of the edge position in the above-mentioned semiconductor substrate front face of the above-mentioned protective coat is carried out.

[0020] The manufacture method of the semiconductor device concerning the claim 14 of this invention The process which forms a gate electrode through a gate insulator layer on the semiconductor substrate which consists of single crystal silicon, A protective coat is formed so that the above-mentioned semiconductor substrate front face may not be exposed over predetermined width of face on the above-mentioned semiconductor substrate which adjoins this gate electrode from the gate electrode edge concerned with the Salicide technology With the process which forms a silicide layer in the above-mentioned gate electrode front face and the above-mentioned semiconductor substrate front face of the both sides, and the ion implantation using the resist mask The above-mentioned gate electrode and the process which forms the source drain field which at least one side estranged by predetermined clearance, It

****, and rather than the edge position in the above-mentioned semiconductor substrate front face of the above-mentioned resist mask, it becomes the position distant from the above-mentioned gate electrode, and an appearance setup of one edge position of the above-mentioned protective coat is carried out.

[0021] The manufacture method of the semiconductor device concerning the claim 15 of this invention The process which forms the 1st insulator layer in the whole surface, carries out anisotropic etching of this 1st insulator layer, and forms the 1st sidewall spacer in the side attachment wall of the above-mentioned gate electrode both sides after forming a gate electrode in the predetermined field on a semiconductor substrate. Subsequently with the process which covers the above-mentioned gate electrode and the sidewall spacer of the above 1st, and forms the 2nd insulator layer in the whole surface, by subsequently, the isotropic etching using the resist mask The process as for which the 2nd insulator layer of the above in the sidewall front face of the above 1st of one side of the above-mentioned gate electrode decreases thickness alternatively, Carry out whole surface anisotropic etching of the 2nd insulator layer of the account of Gokami, and a sidewall spacer is further formed in the outside of the sidewall spacer of the above 1st. With the process which forms the 2nd sidewall spacer with which width of face is different by right and left on the above-mentioned gate electrode side attachment wall, and the Salicide technology With the process which forms a silicide layer in the above-mentioned gate electrode front face and the above-mentioned semiconductor substrate front face of the sidewall spacer outside of the above 2nd, and the ion implantation which used the above-mentioned gate electrode and the sidewall spacer of the above 2nd as the mask It has the process which forms a source drain field.

[0022] The manufacture method of the semiconductor device concerning the claim 16 of this invention After forming a gate electrode in the predetermined field on a semiconductor substrate, form an insulator layer in the whole surface, use a resist mask for this insulator layer, and anisotropic etching is given alternatively. With the process which forms the sidewall spacer arranged by one side attachment wall of the above-mentioned gate electrode, and the insulator layer pattern which covers the side-attachment-wall front face of another side from on the above-mentioned gate electrode, and extends on the above-mentioned semiconductor substrate, and the Salicide technology The process which forms a silicide layer in the above-mentioned gate electrode front face of the field which is not covered by the above-mentioned sidewall spacer and the above-mentioned insulator layer pattern, and the above-mentioned semiconductor substrate front face of the both sides. With the above-mentioned gate electrode, the above-mentioned sidewall, and the ion implantation that used the above-mentioned insulator layer pattern as the mask It has the process which forms a high-concentration source drain field and the low-concentration LDD field which adjoins one side of this source drain field, and is arranged in the above-mentioned insulator layer pattern lower layer.

[0023]

[Embodiments of the Invention]

The form 1 of implementation of this invention is explained about drawing below form 1. of operation. Drawing 1 is the cross section showing the structure of the MOS transistor by the form 1 of implementation of this invention. The semiconductor substrate to which 13 changes from a silicon single crystal in drawing (a substrate is called hereafter). The field insulator layer for isolation by which 14 was formed in the substrate 13, the gate insulator layer by which 15 was formed on the substrate 13, The gate electrode by which 16 was formed through the gate insulator layer 15 on the substrate 13 and which consists of contest polysilicon, The sidewall spacer with which 17 was formed in gate electrode 16 side attachment wall and which consists of an oxide film, and 18a and 18b The source field formed in the right-and-left both sides of the gate electrode 16 on substrate 13 front face and a drain field, and 19 are silicid layers, and the silicide layer by which especially 19a was formed in the source field 18a front face, and 19b are the silicide layers formed in the drain field 18b front face. Moreover, the contact hole by which 20 was prepared in the layer insulation film and 21 was prepared in the layer insulation film 20, and 22 are the electrical wiring layers by which connection formation was carried out through the contact hole 21 at each of the gate electrode 16, source field 18a, and drain field 18b.

[0024] As shown in drawing 1, the gate electrode 16 is the offset structure formed in the drain field 18b and predetermined position which carried out size alienation. Moreover, silicide layer 19b formed in the drain field 18b front face is further formed in the predetermined position which carried out size alienation from the gate electrode 16 compared with drain field 18b. That is, this silicide layer 19b is formed in the whole drain field 18b front face except for the field of the predetermined width of face of the gate electrode 16 side-edge section in drain field 18b.

Moreover, the contact hole 21 on drain field 18b is formed in a silicide layer 19b formation field. [0025] Thus, the manufacture method of the MOS transistor constituted is shown below based on drawing 2 - drawing 10. First, after using the LOCOS method for a substrate 13 and forming the field insulator layer 14, the gate electrode 16 which consists of the gate insulator layer 15 and contest polysilicon by the well-known method, and the sidewall spacer 17 are formed one by one (drawing 2). Next, after forming for example, SiO₂ film 23a in the whole surface (drawing 3), the photoresist film 24 is formed the whole surface on it, and it patternizes with a photolithography technology (drawing 4). SiO₂ film 23a of a ground is *****ed by using this resist pattern 24 as a mask, the gate electrode 16 is crossed to substrate 13 front face by the side of the drain which covers and adjoins, and the protective coat 23 which consists of SiO₂ film 23a is formed. The photoresist film 24 is removed after that (drawing 5).

[0026] Next, by forming the Co film 25 in the whole surface (drawing 6), and performing RTA processing to a substrate 13 after that, the Co film 25 on silicon and the silicon of a ground are made to react, and conversion is carried out to the silicide layer 19 (drawing 7). Then, after 2OH₂ processing removes, a protective coat 23 is removed for the unreacted Co film 25. Thereby, the silicide layers 19a and 19b are formed on the substrate 13 silicon with which the protective coat 23 was not formed in the front face (drawing 8).

[0027] Next, the photoresist film 26 is formed in the whole surface, and it patternizes with a photolithography technology. Impurity pouring is performed with ion-implantation from on a substrate 13 by using this resist pattern 26 as a mask, and source field 18a and drain field 18b are formed. The resist pattern 26 used for the pouring mask at this time is gone across and formed in substrate 13 front face by the side of the drain which adjoins from the gate electrode 16, and its edge position in the substrate 13 front face is closer to the gate electrode 16 than the edge position in substrate 13 front face of the protective coat 23 used at the time of silicide layer 19 formation of a last process. Thereby, source field 18a and drain field 18b in which the silicide layers 19a and 19b were formed, respectively are formed in a front face at the both sides of the gate electrode 16. Although this source field 18a approaches the gate electrode 16 and it is formed, the gate electrode 16 and predetermined carry out size alienation, drain field 18b is formed, compared with drain field 18b, from the gate electrode 16, predetermined carries out size alienation further and silicide layer 19b of a drain field 18b front face is formed (drawing 9).

[0028] Next, after removing the photoresist film 26 (drawing 10), the layer insulation film 20 is formed in the whole surface, and opening of the contact hole 21 is carried out. Then, after forming the electrode wiring layer 22 in the whole surface so that a contact hole 21 may be embedded, connection formation is carried out through a contact hole 21 by carrying out patterning at each of the gate electrode 16, source field 18a, and drain field 18b. At this time, the electrode wiring layer 22 is connected through the silicide layers 19a and 19b in source field 18a and drain field 18b (refer to drawing 1). Then, predetermined processing is performed and a MOS transistor is completed.

[0029] With the form 1 of the above-mentioned implementation, where it covered the gate electrode 16 and a protective coat 23 is gone across and formed in substrate 13 front face by the side of an adjoining drain, the silicide layers 19a and 19b are formed using the Salicide technology. For this reason, silicide layer 19b formed in substrate 13 front face by the side of a drain is estranged from the gate electrode 16 by predetermined clearance, and this clearance is determined by the edge position in substrate 13 front face of a protective coat 23. Moreover, the resist pattern 26 gone across and formed in substrate 13 front face by the side of an adjoining drain from the gate electrode 16 is used for a pouring mask in the case of the ion implantation for source field 18a and drain field 18b formation. For this reason, drain field 18b estranges only the clearance determined by the edge position in substrate 13 front face of the resist pattern 26

from the gate electrode 16, and is formed. Furthermore, rather than the edge position of a protective coat 23, since the edge position in substrate 13 front face of the resist pattern 26 is close to the gate electrode 16, the MOS transistor of the offset structure formed in the position which silicide layer 19b of a drain field 18b front face straggled from the gate electrode 16 further rather than drain field 18b can manufacture it easily.

[0030] Although the silicide layer 19 formed by the Salicide technology spreads a little and is formed from the size of the request on a design, as mentioned above, it can fully take the margin on manufacture by forming silicide layer 19b so that it may be made to estrange from the gate electrode 16 further rather than drain field 18b. For this reason, from a drain field 18b front face, spread silicide layer 19b, it is not formed even on a substrate 13, and the effect by offset structure is not spoiled. The MOS transistor which has the outstanding property having both effects of improvement in pressure-proofing between gate drains by offset structure, and reduction of the contact resistance by the Salicide technology and the reduction in resistance of the source drain fields 18a and 18b by this is obtained.

[0031] In addition, although the source drain fields 18a and 18b were formed with the form 1 of the above-mentioned implementation after forming the silicide layer 19, after forming the source drain fields 18a and 18b with an ion implantation using the resist pattern 26, a protective coat 23 may be used, the silicide layer 19 may be formed with the Salicide technology, and the same effect is done so.

[0032] Moreover, although SiO₂ film 23a was used for the protective coat 23 with the form 1 of the above-mentioned implementation, you may use other insulator layers, such as SiN and SiON. Moreover, you may make other refractory metals, such as Ti and nickel, silicide-ize instead of Co also in the silicide layer 19.

[0033] The form 2 of form 2. of operation, next implementation of this invention is explained about drawing. Drawing 11 is the cross section showing the structure of the MOS transistor by the form 2 of implementation of this invention. As shown in drawing 11, in the MOS transistor by the form 1 of the above-mentioned implementation, silicide layer 19c is formed also on the gate electrode 16.

[0034] Thus, the manufacture method of the MOS transistor constituted is shown below based on drawing 12 - drawing 20. First, like the form 1 of the above-mentioned implementation, after forming the field insulator layer 14 in a substrate 13, the gate insulator layer 15, the gate electrode 16 which consists of contest polysilicon, and the sidewall spacer 17 are formed (drawing 12). Next, after forming for example, SiO₂ film 27a in the whole surface (drawing 13), the photoresist film 28 is formed the whole surface on it, and it patternizes with a photolithography technology (drawing 14). SiO₂ film 27a of a ground is *****ed by using this resist pattern 28 as a mask, and the protective coat 27 which consists of SiO₂ film 27a so that substrate 13 front face may not be exposed over predetermined width of face from gate electrode 16 edge on the substrate 13 by the side of the drain which adjoins the gate electrode 16 is formed. Then, the photoresist film 28 is removed (drawing 15).

[0035] Next, by forming the Co film 25 in the whole surface (drawing 16), and performing RTA processing to a substrate 13 after that, the Co film 25 on silicon and the silicon of a ground are made to react, and conversion is carried out to the silicide layer 19 (drawing 17). Then, after 2OH2 processing removes, a protective coat 27 is removed for the unreacted Co film 25. Thereby, the silicide layers 19a, 19b, and 19c are formed on both sides of the gate electrode 16 on the gate electrode 16 which consists of a polysilicon contest film the substrate 13 silicon top with which the protective coat 27 was not formed in the front face (drawing 18).

[0036] Next, source field 18a and drain field 18b are formed with ion-implantation by using the resist pattern 26 as a mask like the form 1 of the above-mentioned implementation. At this time, the resist pattern 26 is closer to the gate electrode 16 than one [which was gone across and formed in substrate 13 front face by the side of the drain which adjoins from the gate electrode 16, and used the edge position in the substrate 13 front face at the time of silicide layer 19 formation of a last process] edge position of a protective coat 27 (drawing 19). Then, like the form 1 of the above-mentioned implementation, after removing the photoreist film 26 (drawing 20), the layer insulation film 20, a contact hole 21, and the electrode wiring layer 22 are formed

one by one (refer to drawing 11), predetermined processing is performed, and a MOS transistor is completed.

[0037] With the form 2 of the above-mentioned implementation, on the substrate 13 by the side of the drain which adjoins the gate electrode 16, where a protective coat 27 is formed so that substrate 13 front face may not be exposed over predetermined width of face from gate electrode 16 edge, the silicide layers 19a, 19b, and 19c are formed using the Salicide technology. For this reason, silicide layer 19c is further formed also on the gate electrode 16 with the same silicide layers 19a and 19b as the form 1 of the above-mentioned implementation. thus, the gate electrode 16 top — low — in order to form silicide layer 19c [****], reduction in resistance of the gate electrode 16 and reduction-ization of the contact resistance to the gate electrode 16 can be attained, and improvement in the speed of a circuit progresses further

[0038] In addition, formation of the silicide layer 19 and formation of the source drain fields 18a and 18b could make sequence of formation reverse, and could make other insulator layer and other refractory metals silicide-ize also with the material of a protective coat 27, and the material of the silicide layer 19 also in the form of this operation like the form 1 of the above-mentioned implementation.

[0039] The form 3 of form 3. of operation, next implementation of this invention is explained about drawing. Drawing 21 is the cross section showing the structure of the MOS transistor by the form 3 of implementation of this invention. As shown in drawing 21 , the gate electrode 16 is made into polycide structure, i.e., the two-layer structure of polysilicon contact film 16a and silicide layer 16b, in the MOS transistor by the form 1 of the above-mentioned implementation. In case the gate electrode 16 is formed, after carrying out the laminating of polysilicon contact film 16a and the silicide layer 16b by the manufacture method in the form 1 of the above-mentioned implementation, it is made polycide structure by carrying out patterning. It is the same as that of the form of the above-mentioned implementation except [all] the manufacture method of this gate electrode 16, and structure.

[0040] making the gate electrode 16 into polycide structure with the form 3 of this operation — the form 2 of the above-mentioned implementation — the same — low — since silicide layer 16b [****] is formed also in the gate electrode 16, reduction in resistance of the gate electrode 16 and reduction-ization of the contact resistance to the gate electrode 16 can be attained, and improvement in the speed of a circuit can be advanced further furthermore — even if it is short gate length compared with the Salicide technology — being stabilized — low — since silicide layer 16b [****] can be formed, the above-mentioned effect is certainly acquired with sufficient reliability

[0041] Although the forms 1-3 of the form 4. above-mentioned implementation of operation showed the MOS transistor of the offset structure which was made to estrange the gate electrode 16 with drain field 18b, and formed it, the offset structure where the gate electrode 16 was made to estrange with a source field shows the example of the MOS transistor using the Salicide technology below. By the way, in semiconductor integrated circuit equipment, in order to lower power consumption, lowering supply voltage to 5V → 3.3V is performed. However, when the circuit apparatus which is not low-battery-ized with a peripheral device etc. remains, the input output buffer which can receive the external signal of 5V as it is is needed.

[0042] Then, what is necessary is just to constitute so that 5V may not be directly impressed to a transistor, even if it is inputted with 5V, without being low-battery-ized by inserting resistance 29 in the source electrode side of a transistor, as shown in the circuit diagram of drawing 22 .

Drawing 23 is the cross section showing the structure of the semiconductor device which constitutes the input output buffer dealing with 2 power supplies. As shown in drawing, MOS transistor 31 to which the source drain field 30 approached the both sides of the gate electrode 16 is formed in 3.3V active region, and MOS transistor 33 of offset structure which source field 32a estranged with the gate electrode 16 among the source drain fields 32a and 32b is formed in 5V active region. Moreover, the silicide layers 34c, 34a, and 34b are formed in the source drain fields 30 and 32a and 32b front face by the Salicide technology, respectively, and compared with source field 32a, from the gate electrode 16, silicide layer 34a of the source field 32a front face of MOS transistor 33 is estranged further, and is formed especially.

[0043] Thus, in the manufacture method of the MOS transistor by the form 1 of the above-mentioned implementation, that what is necessary is just to reverse a source and drain side, the manufacture method of the semiconductor device constituted can manufacture simultaneously MOS transistor 33 of offset structure, and usual MOS transistor 31 easily by giving the Salicide process and an ion-implantation process without forming the pattern and the resist pattern 26 of a protective coat 23 in the field of MOS transistor 31 then.

[0044] With the form of this operation, MOS transistor 33 of 5V active region is written as the offset structure which estranged source field 32a and the gate electrode 16, the substrate 13 between the gate electrode 16 and source field 32a plays the role of a parasitism resistance element, and 5V are not directly impressed to a transistor. Moreover, by forming silicide layer 34a by the Salicide technology of a source field 32a front face so that it may be made to estrange from the gate electrode 16 further rather than source field 32a, even on a substrate 13, the margin on manufacture can fully be taken and it is not formed [spread silicide layer 34a and] from a source field 32a front face. thereby, the effect which are reduction of the contact resistance by the Salicide technology and low resistance-ization of the source drain fields 32a and 32b is acquired, without spoiling an effect with a parasitism resistance element built-in [by offset structure / by the side of a source electrode]

[0045] In addition, the forms 2 or 3 of the above-mentioned implementation may be applied also in this case, and the silicide layer by the Salicide technology may be formed also in gate electrode 16 front face, or the gate electrode 16 may be made into polycide structure.

[0046] Moreover, although the source field or the drain field showed the gate electrode and the estranged thing, the both sides of a source field and a drain field may estrange the forms 1-4 of the above-mentioned implementation with the gate electrode 16 by predetermined clearance, respectively, and they may constitute the MOS transistor which the front face of a source field and a drain field was made to estrange from the gate electrode 16 further, and formed the silicide layer in it from them with the Salicide technology.

[0047] The form 5 of form 5. of operation, next implementation of this invention is explained about drawing. Drawing 24 is the cross section showing the structure of the MOS transistor by the form 5 of implementation of this invention. In drawing, 13-16, and 20-22 are the same as the form 1 of the above-mentioned implementation, and 35a and 35b are the source fields and drain fields which were formed in the right-and-left both sides of the gate electrode 16, and the gate electrode 16 is the drain field 35b and predetermined offset structure which carried out size alienation. Moreover, 36 was formed in the side attachment wall by the side of source field 35a of the gate electrode 16. The sidewall spacer used as the 2nd sidewall spacer (A source side sidewall is called hereafter) and 37 on the side attachment wall by the side of drain field 35b of the gate electrode 16. The sidewall spacer which was formed in width of face thicker than the source side sidewall 36 and which similarly turns into the 2nd sidewall spacer (A drain side sidewall is called hereafter) and 38 are the silicide layers formed in the front face of a gate electrode and the source drain fields 35a and 35b.

[0048] Thus, the manufacture method of the MOS transistor constituted is shown below based on drawing 25 - drawing 32 . First, like the form 1 of the above-mentioned implementation, after forming the field insulator layer 14 in a substrate 13, the gate insulator layer 15 and the gate electrode 16 which consists of contest polysilicon further are formed. Then, SiO₂ film 39 is formed in the whole surface as the 1st insulator layer at about 0.1-0.15-micrometer thickness (drawing 25).

[0049] Next, whole surface etchback by RIE is given to SiO₂ film 39, and the sidewall spacers 39a and 39b are formed in it to width of face of about about 0.1 micrometers as 1st sidewall spacer at the side attachment wall of gate electrode 16 both sides. Then, the gate electrode 16 and th sidewall spacers 39a and 39b are c vered, and SiO₂ film 40 is formed in the whole surfac as the 2nd insulator layer at about 0.1 micrometers - 0.2 micrometers thickness. Then, the photoresist film 41 is formed the whole surface on SiO₂ film 40, it patternizes with a photolithography technology and the r sist patt rn 41 which extends from on a gate electrode 16 formation field on the substrate 13 field by the side of drain field 35b is formed (drawing 26).

[0050] N xt, by using the resist patt rn 41 as a mask, etching removal of the SiO₂ film 40 of a

ground is carried out by isotropic etching until it becomes about 20–30nm thickness (drawing 27). Then, after removing the photoresist film 41 (drawing 28), whole surface etchback by RIE is given and the source side sidewall 36 with a width of face of about about 0.1 micrometers and the drain side sidewall 37 with a width of face of about 0.15–0.2 micrometers are formed in the side attachment wall of the gate electrode 16 (drawing 29).

[0051] Next, by forming the Co film 42 in the whole surface (drawing 30), and performing RTA processing to a substrate 13 after that, the Co film 42 on silicon and the silicon of a ground are made to react, and conversion is carried out to the silicide layer 38. Then, for example, 2OH2 processing removes the unreacted Co film 42 (drawing 31). Next, impurity pouring is performed with ion-implantation from on a substrate 13, an impurity is diffused by the postheat treatment and source field 35a and drain field 35b are formed in the substrate 13 of the outside of the gate electrode 16 in which sidewalls 36 and 37 were formed (drawing 32). Then, like the form 1 of the above-mentioned implementation, the layer insulation film 20, a contact hole 21, and the electrode wiring layer 22 are formed one by one (refer to drawing 24), predetermined processing is performed, and a MOS transistor is completed.

[0052] With the form 5 of the above-mentioned implementation, the sidewall spacers 39a and 39b with a width of face of about about 0.1 micrometers are first formed in the side attachment wall of gate electrode 16 both sides, the sidewall which carries out anisotropic etching of the SiO2 film 40, and can do it further is formed in the outside of these sidewall spacers 39a and 39b, and the source side sidewall 36 and the drain side sidewall 37 are formed in it. Since SiO2 film 40 is beforehand made thin to about 20–30nm thickness by isotropic etching in the field about the source side sidewall 36 at this time, sidewall width of face hardly increases, but is about about 0.1 micrometers. On the other hand, about the drain side sidewall 37, since it does not cover and ***** by the resist pattern 41 in the case of isotropic etching, SiO2 film 40 of the field serves as thick sidewall width of face of about 0.15–0.2 micrometers.

[0053] Moreover, by formation of the above source side sidewalls 36 and drain side sidewalls 37, in case the silicide layer 38 is formed with the Salicide technology after that, it can prevent that the gate electrode 16 and the source drain fields 35a and 35b connect too hastily. Moreover, the effect of the reduction in resistance of reduction of contact resistance and the gate electrode 16, and the source drain fields 35a and 35b is acquired by formation of this silicide layer 38. Furthermore, width of face is about about 0.1 micrometers, and since source field 35a spreads [thin] a little also in the gate electrode 16 direction by diffusion and the source side sidewall 36 is formed, it can prevent increase of the parasitism resistance by alienation with source field 35a and the gate electrode 16.

[0054] Since width of face is the thick thing which is about 0.15–0.20 micrometers, the drain side sidewall 37 serves as offset structure which the gate electrode 16 and drain field 35b estranged, and its pressure-proofing between gate drains improves. moreover, alienation with the gate electrode 16 and drain field 35b — if a size exceeds about about 0.20 micrometers, parasitism resistance will become large too much and the drive performance of a transistor will fall usually — although size control of 0.2 micrometers or less is unreliable in the thing using a photolithography technology — the form 5 of the above-mentioned implementation — the thickness of SiO2 film 40 — the width of face of the drain side sidewall 37 — self — in order to determine conformably — a detailed size — reliability — good — easy — controllable — this — alienation with the gate electrode 16 and drain field 35b — a size is controllable similarly Thus, if it controls not to exceed [the drain side sidewall 37] about about 0.20 micrometers for the width of face, the MOS transistor of the offset structure which improved will be obtained, maintaining the good drive performance of a transistor.

[0055] In addition, formation of the silicide layer 38 and formation of the source drain fields 35a and 35b could make s quence of formation reverse, and c ould make other insulator layer and other refractory metals silicide-ize also in the form of this operation also about the material of the 1st insulator layer 39, the 2nd insulator layer 40, and the silicide layer 38.

[0056] Moreover, alth ough th width of fac shall be set to ab ut about 0.1 micromet rs and source field 35a and the gate lectr de 16 shall hardly estrange the source sid sidewall 36 with the form of the above-mentioned implementati n By making width of face of the source side

sidewall 36 thinner than the width of face of the drain side sidewall 37 alienation with source field 35a and the gate electrode 16 — a size — alienation with drain field 35b and the gate electrode 16 — it is good also as a MOS transistor of offset structure smaller than a size

[0057] Moreover, a source [of the MOS transistor of the offset structure shown with the form of this operation] and drain side can be reversed, and it can also be made to apply to the input output buffer dealing with 2 power supplies shown with the form 4 of the above-mentioned implementation.

[0058] The form 6 of form 6. of operation, next implementation of this invention is explained about drawing. Drawing 33 is the cross section showing the structure of the MOS transistor by the form 6 of implementation of this invention. In drawing, 13-16, and 20-22 are the same as the form 1 of the above-mentioned implementation, and 43a and 43b are the source fields and drain fields which consist of the high concentration diffusion layer formed in the right-and-left both sides of the gate electrode 16, the gate electrode 16 and predetermined carry out size alienation, the LDD field 44 which consists of a low concentration diffusion layer between them adjoins drain field 43b, and this drain field 43b is formed.

[0059] Moreover, 45a was formed in the side attachment wall by the side of source field 43a of the gate electrode 16. A sidewall spacer (a source side sidewall is called hereafter), The insulator layer pattern which 45b covered the side of the gate electrode 16 from on the gate electrode 16, and extended to the predetermined field on the substrate 13 by the side of drain field 43b, and 46 are silicide layers. especially 46a The silicide layer formed in the field in which insulator layer pattern 45b of gate electrode 16 front face is not formed, and 46b and 46c are the silicide layers formed in the front face of source field 43a and drain field 43b, respectively.

[0060] As shown in drawing 33, source 43a is single structure, drains 43b and 44 are LDD structures, source side sidewall 45a is formed in the source side of the gate electrode 16, and insulator layer pattern 45b is formed in a drain side. This insulator layer pattern 45b is formed in the field of the substrate 13 top by the side of drain field 43b with a position of about 0.15-0.20 micrometers from gate electrode 16 edge from the gate electrode 16. Moreover, high-concentration drain field 43b is formed in the substrate 13 of the outside of insulator layer pattern 45b at the substrate 13 of the lower layer [field / LDD / 44] of insulator layer pattern 45b.

[0061] Thus, the manufacture method of the MOS transistor constituted is shown below based on drawing 34 - drawing 40. First, like the form 1 of the above-mentioned implementation, after forming the field insulator layer 14 in a substrate 13, the gate insulator layer 15 and the gate electrode 16 which consists of contest polysilicon further are formed. Then, for example, SiO₂ film 45c is formed in the whole surface as an insulator layer at about 0.1-0.15-micrometer thickness (drawing 34).

[0062] Next, the photoresist film 47 is formed the whole surface on SiO₂ film 45c, it patternizes with a photolithography technology and the resist pattern 47 which extends from on a gate electrode 16 formation field on the substrate 13 field by the side of drain field 43b is formed (drawing 35). SiO₂ film 45c of a ground is *****ed by RIE by using this resist pattern 47 as a mask, and source side sidewall 45a is formed in the side attachment wall by the side of the source field 43a formation schedule of the gate electrode 16 at width of face of about about 0.1 micrometers (drawing 36).

[0063] Then, when the photoresist film 47 is removed, insulator layer pattern 45b which is wearing the side of the gate electrode 16 and extends from on the gate electrode 16 on the substrate 13 by the side of drain field 43b remains. This insulator layer pattern 45b is arranged so that the edge on the substrate 13 may come to the position of about 0.15-0.20 micrometers from gate electrode 16 edge (drawing 37). Next, by forming the Co film 42 in the whole surface (drawing 38), and performing RTA processing to a substrate 13 after that, the Co film 42 on silicon and the silicon of a ground are made to react, and conversion is carried out to the silicide layer 46. Then, for example, 2OH₂ processing removes the unreacted Co film 42 (drawing 39).

[0064] Next, impurity pouring which pours in Lynn with the iⁿ-implantation from a substrate 13 in energy;100 - 150keV and injection rate;1x10¹³ to 1x10¹⁴-/cm² is performed, an impurity is diffused by the postheat treatment, source field 43a is formed in the substrate 13 of the outside

of source side sidewall 45a, and drain field 43b is formed in the substrate 13 of the outside of insulator layer pattern 45b. At this time, simultaneously, the LDD field 44 of low concentration, for example, 10^{17} – 10^{18} /cm³ adjoins drain field 43b, and is formed also in the lower layer substrate 13 of insulator layer pattern 45b (drawing 40). Then, like the form 1 of the above-mentioned implementation, the layer insulation film 20, a contact hole 21, and the electrode wiring layer 22 are formed one by one (refer to drawing 33), predetermined processing is performed, and a MOS transistor is completed.

[0065] With the form 6 of the above-mentioned implementation, insulator layer pattern 45b is made to extend from on the gate electrode 16 on the substrate 13 by the side of drain field 43b, and the source drain fields 43a and 43b and the LDD field 44 are formed with an ion implantation by using this insulator layer pattern 45b, source side sidewall 45a, and the gate electrode 16 as a mask. That is, through insulator layer pattern 45b, the LDD field 44 is a diffusion layer by the impurity poured in from the substrate 13, and can set the concentration as a desired value by optimizing the conditions of the thickness of insulator layer pattern 45b, and the energy in the case of an ion implantation.

[0066] Moreover, the LDD field 44 in which such concentration control is possible can form simultaneously with the source drain fields 43a and 43b with an ion implantation once, and manufacture is easy. For this reason, the parasitism resistance in the substrate 13 between drain field 43b and the gate electrode 16 can control easily by controlling the concentration of the LDD field 44. Therefore, at the source field 43a side, increase of parasitism resistance can be prevented like the form 5 of the above-mentioned implementation, and by the drain field 43b side, the MOS transistor whose pressure-proofing between gate drains improved is obtained, maintaining the good drive performance of a transistor.

[0067] since [moreover,] insulator layer pattern 45b is greatly formed as a pouring mask in the case of an ion implantation from gate electrode 16 edge which becomes effective not only from an outside field but from the real gate electrode 16 — the margin on manufacture — large — becoming — alienation with the gate electrode 16 and drain field 43b — a size — a detailed size — controlling — being easy — the controllability of parasitism resistance improves further

[0068] Furthermore, it can have the effect of the reduction in resistance of reduction and the gate electrode 16 of contact resistance, and the source drain fields 43a and 43b collectively by formation of the silicide layer 46 using the Salicide technology.

[0069] In addition, formation of the silicide layer 46 and formation of the source drain fields 43a and 43b could make sequence of formation reverse, and could make other insulator layer and other refractory metals silicide-ize also with the material of an insulator layer 45 and the silicide layer 46 also in the form of this operation.

[0070] Moreover, if the electrode wiring layer 22 is connected to connecting on the gate electrode 16 in a silicide layer 46a formation field, reduction-ization of contact resistance with the gate electrode 16 and the electrode wiring layer 22 can be attained further.

[0071] A source [of the MOS transistor shown with the form of this operation] and drain side can be reversed further again, and it can also be made to apply to the input output buffer of 2 power supply reactions shown with the form 4 of the above-mentioned implementation.

[0072]

[Effect of the Invention] According to this invention, at least one side of a source drain field is estranged with a gate electrode as mentioned above. Since the silicide layer by the Salicide technology of the source drain field front face concerned was further estranged from the gate electrode rather than the source drain field concerned, without spoiling the effect of a gate electrode being offset structure, reduction of the contact resistance by the Salicide technology and low resistance-ization of a source drain field can be attained, and it has the property which was excellent at high speed — a semiconductor device is obtained

[0073] Moreover, since a source field approached with a gate electrode and a drain field estranged with a gate electrode according to this invention, the semiconductor device having the effect of the both sides of improvement in pressure-proofing between gate drains by offset structure, and reduction of the contact resistance by Salicide technology and the reduction in resistance of a source drain field which has the property which is excellent at high speed is

obtained.

[0074] According to this invention, estrange a source field with a gate electrode and moreover, the silicide layer by the Salicide technology of a source field front face. Since the MOS transistor further estranged from the gate electrode rather than the source field was arranged in the input output buffer which receives an external signal, it is possible for a parasitism resistance element to be built in a source electrode side, and to receive the external signal which is not low-battery-ized, moreover reduction of the contact resistance by the Salicide technology and low resistance-ization of a source drain field can be attained, and the semiconductor device which has the property which was excellent at high speed is obtained.

[0075] Moreover, according to this invention, since the silicide layer by the Salicide technology was formed also in the gate electrode front face, reduction in resistance of a gate electrode and reduction-ization of the contact resistance to a gate electrode can be attained on it, and improvement in the speed of a semiconductor device can be further advanced to it.

[0076] moreover — even if according to this invention it writes as the two-layer structure on which the polysilicon contact film and the silicide layer carried out the laminating of the gate electrode, and deposited it and is short gate length — being stabilized — low — a silicide layer [****] can be formed in a gate electrode, and the effect of the reduction in resistance of a gate electrode and reduction-izing of the contact resistance to a gate electrode can be certainly acquired with sufficient reliability.

[0077] Moreover, since the sidewall spacer by the side of a drain field formed in width of face thick than the sidewall spacer by the side of a source field, according to this invention, the semiconductor device which has the property which can aim at prevention of increase of the parasitism resistance by the side of a source electrode and improvement in pressure-proofing between gate drains, and can moreover attain simultaneously reduction of the contact resistance by Salicide technology and low resistance-ization of a gate electrode and a source drain field, and which is excellent at high speed is obtained.

[0078] Moreover, maintaining the good drive performance of a transistor, since the sidewall spacer by the side of a drain field was formed by the width of face of the size which does not exceed about 0.2 micrometers according to this invention, improvement in pressure-proofing between gate drains can be aimed at, and the property of a semiconductor device improves further.

[0079] Moreover, according to this invention, since the sidewall spacer by the side of a source field was formed by width of face with a size of about 0.1 micrometers, increase of the parasitism resistance by the side of a source electrode can prevent certainly, and the property of a semiconductor device improves further.

[0080] Moreover, since the MOS transistor which formed the sidewall spacer by the side of a source field in width of face thicker than the sidewall spacer by the side of a drain field was arranged in the input output buffer which receives an external signal according to this invention, it is possible for a parasitism resistance element to be built in a source electrode side, and to receive the external signal which is not low-battery-ized. And the semiconductor device which has the property which can attain simultaneously reduction of the contact resistance by the Salicide technology and low resistance-ization of a gate electrode and a source drain field, and which was excellent at high speed is obtained.

[0081] Moreover, according to this invention, form a sidewall spacer in the source field side of a gate electrode, form an insulator layer pattern in a drain field side, and a drain field is written as LDD structure. Reduction of contact resistance can prevent increase of the parasitism resistance by the side of a source electrode, can aim at improvement in pressure-proofing between gate drains, maintaining the good drive performance of a transistor, and moreover according to the Salicide technology, The semiconductor device which has the property which can attain simultaneously low resistance-ization of a gate electrode and a source drain field, and which was excellent at high speed is obtained.

[0082] Moreover, according to this invention, since the sidewall spacer was formed by width of face with a size of about 0.1 micrometers, increase of the parasitism resistance by the side of a source electrode can prevent certainly, and the property of a semiconductor device

improves further.

[0083] According to this invention, to the drain field side of a gate electrode moreover, a sidewall spacer Since the MOS transistor which formed the insulator layer pattern in the source field side, and made the source field LDD structure was arranged in the input output buffer which receives an external signal, It is possible to receive the external signal by which parasitism resistance by the side of a source electrode is not low-batterized by increasing. And the semiconductor device which has the property which can attain simultaneously reduction of the contact resistance by the Salicide technology and low resistance-ization of a gate electrode and a source drain field, and which was excellent at high speed is obtained.

[0084] According to this invention, cover a gate electrode, cross it to an adjoining semiconductor substrate front face, form a protective coat, form a silicide layer with the Salicide technology, and with moreover, the ion implantation using the resist mask At least one side forms a gate electrode and the estranged source drain field, and, moreover, the edge position of the above-mentioned protective coat is written as the position which is distant from a gate electrode from the edge position of the above-mentioned resist mask. The silicide layer of the source drain field front face which estranges with a gate electrode and is formed by the ability fully taking the margin on manufacture The effect prevent being spread and formed rather than a lower layer source drain field, and according to offset structure, The semiconductor device which has the property excellent in the high speed having the effect of reduction of the contact resistance by the Salicide technology and the reduction in resistance of a source drain field can be manufactured certainly easily.

[0085] Moreover, a protective coat is formed so that a semiconductor substrate front face may not be exposed over predetermined width of face on the semiconductor substrate which adjoins a gate electrode from a gate electrode edge according to this invention. Form a silicide layer with the Salicide technology and with the ion implantation using the resist mask At least one side forms a gate electrode and the estranged source drain field, and, moreover, the edge position of the above-mentioned protective coat is written as the position which is distant from a gate electrode from the edge position of the above-mentioned resist mask. The silicide layer of the source drain field front face which estranges with a gate electrode and is formed by the ability fully taking the margin on manufacture The effect prevent being spread and formed rather than a lower layer source drain field, and according to offset structure, The reduction and the gate electrode of contact resistance by the silicide layer having been formed in the gate electrode front face and the source drain field front face by the Salicide technology, The semiconductor device having the effect of the reduction in resistance of a source drain field which has the property which was excellent at high speed can be manufactured certainly easily.

[0086] Moreover, according to this invention, after forming the 1st sidewall spacer in the side attachment wall of gate electrode both sides, the 2nd insulator layer is formed on it, alternatively, by isotropic etching, the thickness of the 2nd insulator layer on the 1st front face of a sidewall of one side is decreased, whole surface anisotropic etching is carried out after that, and the 2nd sidewall spacer with which width of face is different by right and left on a gate electrode side attachment wall is formed. for this reason, alienation with a gate electrode and a source drain field — the semiconductor device which has the property which could control the size with sufficient reliability by the detailed size easily, and was excellent at high speed can be manufactured certainly easily

[0087] Moreover, according to this invention, a sidewall spacer is formed in the one side of a gate electrode, an insulator layer pattern is formed in the other side, and a high-concentration source drain field and the LDD field arranged in an insulator layer pattern lower layer are simultaneously formed with an ion implantation, for this reason, alienation with a gate electrode and a source drain field — the controllability in the detailed size in a size improves, and the concentration of a LDD field can control with sufficient reliability easily The semiconductor device which has by this the property which was excellent at high speed can be manufactured certainly easily.

[Translation d ne.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the cross section showing the structure of the semiconductor device by the gestalt 1 of implementation of this invention.

[Drawing 2] It is the cross section showing one process of the manufacture method of the semiconductor device by the gestalt 1 of implementation of this invention.

[Drawing 3] It is the cross section showing one process of the manufacture method of the semiconductor device by the gestalt 1 of implementation of this invention.

[Drawing 4] It is the cross section showing one process of the manufacture method of the semiconductor device by the gestalt 1 of implementation of this invention.

[Drawing 5] It is the cross section showing one process of the manufacture method of the semiconductor device by the gestalt 1 of implementation of this invention.

[Drawing 6] It is the cross section showing one process of the manufacture method of the semiconductor device by the gestalt 1 of implementation of this invention.

[Drawing 7] It is the cross section showing one process of the manufacture method of the semiconductor device by the gestalt 1 of implementation of this invention.

[Drawing 8] It is the cross section showing one process of the manufacture method of the semiconductor device by the gestalt 1 of implementation of this invention.

[Drawing 9] It is the cross section showing one process of the manufacture method of the semiconductor device by the gestalt 1 of implementation of this invention.

[Drawing 10] It is the cross section showing one process of the manufacture method of the semiconductor device by the gestalt 1 of implementation of this invention.

[Drawing 11] It is the cross section showing the structure of the semiconductor device by the gestalt 2 of implementation of this invention.

[Drawing 12] It is the cross section showing one process of the manufacture method of the semiconductor device by the gestalt 2 of implementation of this invention.

[Drawing 13] It is the cross section showing one process of the manufacture method of the semiconductor device by the gestalt 2 of implementation of this invention.

[Drawing 14] It is the cross section showing one process of the manufacture method of the semiconductor device by the gestalt 2 of implementation of this invention.

[Drawing 15] It is the cross section showing one process of the manufacture method of the semiconductor device by the gestalt 2 of implementation of this invention.

[Drawing 16] It is the cross section showing one process of the manufacture method of the semiconductor device by the gestalt 2 of implementation of this invention.

[Drawing 17] It is the cross section showing one process of the manufacture method of the semiconductor device by the gestalt 2 of implementation of this invention.

[Drawing 18] It is the cross section showing one process of the manufacture method of the semiconductor device by the gestalt 2 of implementation of this invention.

[Drawing 19] It is the cross section showing one process of the manufacture method of the semiconductor device by the gestalt 2 of implementation of this invention.

[Drawing 20] It is the cross section showing one process of the manufacture method of the semiconductor device by the gestalt 2 of implementation of this invention.

[Drawing 21] It is the cross section showing the structure of the semiconductor device by the gestalt 3 of implementation of this invention.

[Drawing 22] It is the circuit diagram of the semiconductor device by the gestalt 4 of implementation of this invention.

[Drawing 23] It is the cross section showing the structure of the semiconductor device by the gestalt 4 of implementation of this invention.

[Drawing 24] It is the cross section showing the structure of the semiconductor device by the gestalt 5 of implementation of this invention.

[Drawing 25] It is the cross section showing one process of the manufacture method of the semiconductor device by the gestalt 5 of implementation of this invention.

[Drawing 26] It is the cross section showing one process of the manufacture method of the semiconductor device by the gestalt 5 of implementation of this invention.

[Drawing 27] It is the cross section showing one process of the manufacture method of the semiconductor device by the gestalt 5 of implementation of this invention.

[Drawing 28] It is the cross section showing one process of the manufacture method of the semiconductor device by the gestalt 5 of implementation of this invention.

[Drawing 29] It is the cross section showing one process of the manufacture method of the semiconductor device by the gestalt 5 of implementation of this invention.

[Drawing 30] It is the cross section showing one process of the manufacture method of the semiconductor device by the gestalt 5 of implementation of this invention.

[Drawing 31] It is the cross section showing one process of the manufacture method of the semiconductor device by the gestalt 5 of implementation of this invention.

[Drawing 32] It is the cross section showing one process of the manufacture method of the semiconductor device by the gestalt 5 of implementation of this invention.

[Drawing 33] It is the cross section showing the structure of the semiconductor device by the gestalt 6 of implementation of this invention.

[Drawing 34] It is the cross section showing one process of the manufacture method of the semiconductor device by the gestalt 6 of implementation of this invention.

[Drawing 35] It is the cross section showing one process of the manufacture method of the semiconductor device by the gestalt 6 of implementation of this invention.

[Drawing 36] It is the cross section showing one process of the manufacture method of the semiconductor device by the gestalt 6 of implementation of this invention.

[Drawing 37] It is the cross section showing one process of the manufacture method of the semiconductor device by the gestalt 6 of implementation of this invention.

[Drawing 38] It is the cross section showing one process of the manufacture method of the semiconductor device by the gestalt 6 of implementation of this invention.

[Drawing 39] It is the cross section showing one process of the manufacture method of the semiconductor device by the gestalt 6 of implementation of this invention.

[Drawing 40] It is the cross section showing one process of the manufacture method of the semiconductor device by the gestalt 6 of implementation of this invention.

[Drawing 41] It is the cross section showing the structure of the conventional semiconductor device.

[Drawing 42] It is the cross section showing the structure and the manufacture method of a semiconductor device by conventional example of another.

[Drawing 43] It is a cross section explaining the trouble of the conventional semiconductor device.

[Description of Notations]

13 Semiconductor Substrate, 15 Gate Insulator Layer, 16 Gate Electrode, 16a A polysilicon contact film, 16b A silicid layer, 18a Source field, 18b A drain field, 19, 19a, 19b, 19c Silicide layer, 23 A protective coat, 26 The resist pattern as a resist mask, 27 A protective coat, 32a A source field, 32b Drain field, 33 A MOS transistor, 34a, 34b Silicide layer, 35a Source field, 35b A drain field, 36 The source side sidewall as 2nd sidewall spacer, 37 The drain side sidewall as 2nd sidewall spacer, 38 A silicide layer, 39 SiO₂ film as the 1st insulator layer, 39a, 39b The 1st sidewall spacer, 40 SiO₂ film as the 2nd insulator layer, 41 A resist pattern, 43a A source field,

43b Drain field, 44 A LDD field and 45a A sidewall, 45b An insulator layer pattern, 45c SiO₂ film as an insulator layer, 46, 46a, 46b, 46c A silicide layer, 47 Resist pattern.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 10 - 116986

(43) 公開日 平成 10 年 (1998) 5 月 6 日

(51) Int. Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H01L 29/78			H01L 29/78	301 P
21/336			21/28	301 T
21/28	301		29/78	301 G

審査請求 未請求 請求項の数 16 O L (全 17 頁)

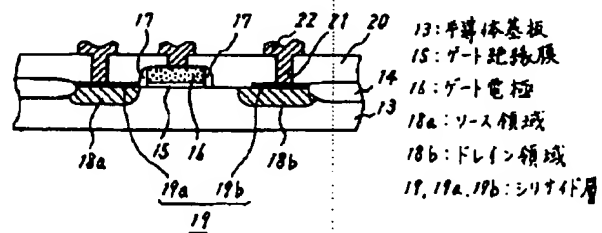
(21) 出願番号	特願平 9 - 2963	(71) 出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目 2 番 3 号
(22) 出願日	平成 9 年 (1997) 1 月 10 日	(72) 発明者	前田 敦 東京都千代田区丸の内二丁目 2 番 3 号 三 菱電機株式会社内
(31) 優先権主張番号	特願平 8 - 221326	(74) 代理人	弁理士 宮田 金雄 (外 3 名)
(32) 優先日	平 8 (1996) 8 月 22 日		
(33) 優先権主張国	日本 (J P)		

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 ゲート電極がオフセット構造である MOS 型トランジスタにサリサイド技術を適用すると、離間したソース・ドレイン領域とゲート電極との間の半導体基板上にもシリサイド層が形成される。

【解決手段】 ゲート電極 16 形成後、レジストマスク 26 を用いたイオン注入によりソース・ドレイン領域 18a、18b をオフセットして形成し、パターン的一端部位置がレジストマスク 26 のものよりゲート電極 16 から離れた位置になる様に、保護膜 23 を、ゲート電極 16 を覆って半導体基板 13 表面に渡って形成した状態で、サリサイド技術を用いてソース・ドレイン領域 18a、18b 上にシリサイド層 19a、19b を形成する。



【特許請求の範囲】

【請求項 1】 単結晶シリコンから成る半導体基板上に、ゲート絶縁膜を介して形成されたゲート電極と、このゲート電極の両側に形成されたソース・ドレイン領域と、このソース・ドレイン領域表面にサリサイド技術により形成されたシリサイド層とを有し、上記ソース・ドレイン領域の少なくとも一方を上記ゲート電極と所定の離間距離で離間し、当該ソース・ドレイン領域表面の上記シリサイド層を、当該ソース・ドレイン領域よりもさらに上記ゲート電極から離間したことを特徴とする半導体装置。

【請求項 2】 ソース領域をゲート電極と近接し、ドレイン領域を上記ゲート電極と所定の離間距離で離間したことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 単結晶シリコンから成る半導体基板上に、ゲート絶縁膜を介して形成されたゲート電極と、このゲート電極の両側に形成されたソース・ドレイン領域と、このソース・ドレイン領域表面にサリサイド技術により形成されたシリサイド層とを有し、上記ソース領域を上記ゲート電極と所定の離間距離で離間し、当該ソース領域表面の上記シリサイド層を、該ソース領域よりもさらに上記ゲート電極から離間した MOS 型トランジスタを、外部信号を受け取る入出力バッファ内に配設したことを特徴とする半導体装置。

【請求項 4】 ゲート電極表面にも、サリサイド技術によるシリサイド層を形成したことを特徴とする請求項 1 ~ 3 のいずれかに記載の半導体装置。

【請求項 5】 ゲート電極をポリシリコン膜とシリサイド層とが積層して堆積された二層構造としたことを特徴とする請求項 1 ~ 3 のいずれかに記載の半導体装置。

【請求項 6】 単結晶シリコンから成る半導体基板上に、ゲート絶縁膜を介して形成されたゲート電極と、このゲート電極両側の側壁に形成されたサイドウォールスペーサと、このサイドウォールスペーサが形成された上記ゲート電極の外側に形成されたソース・ドレイン領域と、このソース・ドレイン領域および上記ゲート電極の表面にサリサイド技術により形成されたシリサイド層とを有し、上記サイドウォールスペーサのうち、上記ドレイン領域側のサイドウォールスペーサを、上記ソース領域側のサイドウォールスペーサに比べて厚い幅に形成したことを特徴とする半導体装置。

【請求項 7】 ドレイン領域側のサイドウォールスペーサを、約 $0.2 \mu\text{m}$ 程度を越えない寸法の幅で形成したことを特徴とする請求項 6 記載の半導体装置。

【請求項 8】 ソース領域側のサイドウォールスペーサを、約 $0.1 \mu\text{m}$ 程度の寸法の幅で形成したことを特徴とする請求項 6 または 7 記載の半導体装置。

【請求項 9】 単結晶シリコンから成る半導体基板上に、ゲート絶縁膜を介して形成されたゲート電極と、このゲート電極両側の側壁に形成されたサイドウォールス

ペーサと、このサイドウォールスペーサが形成された上記ゲート電極の外側に形成されたソース・ドレイン領域と、このソース・ドレイン領域および上記ゲート電極の表面にサリサイド技術により形成されたシリサイド層とを有し、上記サイドウォールスペーサのうち、上記ソース領域側のサイドウォールスペーサを、上記ドレイン領域側のサイドウォールスペーサに比べて厚い幅に形成した MOS 型トランジスタを、外部信号を受け取る入出力バッファ内に配設したことを特徴とする半導体装置。

10 【請求項 10】 単結晶シリコンから成る半導体基板上に、ゲート絶縁膜を介して形成されたゲート電極と、このゲート電極の一方の側壁に形成されたサイドウォールスペーサと、上記ゲート電極上から他方の側壁表面を覆って上記半導体基板上に延在する絶縁膜パターンと、上記サイドウォールスペーサの外側に形成されるソース領域と、上記絶縁膜パターンの外側に形成されるドレイン領域と、このドレイン領域に隣接して上記絶縁膜パターン下層に形成される LDD 領域と、上記ゲート電極の上記絶縁膜パターンが形成されていない領域、上記ソース領域、および上記ドレイン領域の表面にサリサイド技術により形成されたシリサイド層と、を有することを特徴とする半導体装置。

20 【請求項 11】 サイドウォールスペーサを約 $0.1 \mu\text{m}$ 程度の寸法の幅で形成したことを特徴とする請求項 10 記載の半導体装置。

【請求項 12】 単結晶シリコンから成る半導体基板上に、ゲート絶縁膜を介して形成されたゲート電極と、このゲート電極の一方の側壁に形成されたサイドウォールスペーサと、上記ゲート電極上から他方の側壁表面を覆って上記半導体基板上に延在する絶縁膜パターンと、上記サイドウォールスペーサの外側に形成されるドレイン領域と、上記絶縁膜パターンの外側に形成されるソース領域と、このソース領域に隣接して上記絶縁膜パターン下層に形成される LDD 領域と、上記ゲート電極の上記絶縁膜パターンが形成されていない領域、上記ソース領域、および上記ドレイン領域の表面にサリサイド技術により形成されたシリサイド層と、を有する MOS 型トランジスタを、外部信号を受け取る入出力バッファ内に配設したことを特徴とする半導体装置。

40 【請求項 13】 単結晶シリコンから成る半導体基板上に、ゲート絶縁膜を介してゲート電極を形成する工程と、上記ゲート電極を覆い、隣接する上記半導体基板表面に渡って保護膜を形成して、サリサイド技術により上記ゲート電極両側の上記半導体基板表面にシリサイド層を形成する工程と、レジストマスクを用いたイオン注入により、上記ゲート電極と所定の離間距離で少なくとも一方が離間したソース・ドレイン領域を形成する工程と、を有し、上記保護膜の上記半導体基板表面での端部位置を、上記レジストマスクの端部位置よりも上記ゲート電極から離れた位置となる様設定したことを特徴とす

る半導体装置の製造方法。

【請求項 14】 単結晶シリコンから成る半導体基板上に、ゲート絶縁膜を介してゲート電極を形成する工程と、このゲート電極と隣接する上記半導体基板上に、当該ゲート電極端部から所定の幅に渡って上記半導体基板表面が露出しない様に保護膜を形成して、サリサイド技術により、上記ゲート電極表面およびその両側の上記半導体基板表面にシリサイド層を形成する工程と、レジストマスクを用いたイオン注入により、上記ゲート電極と所定の離間距離で少なくとも一方が離間したソース・ドレイン領域を形成する工程と、を有し、上記保護膜の一方の端部位置を、上記レジストマスクの上記半導体基板表面での端部位置よりも、上記ゲート電極から離れた位置となる様設定したことを特徴とする半導体装置の製造方法。

【請求項 15】 半導体基板上の所定領域にゲート電極を形成した後、全面に第 1 の絶縁膜を形成し、この第 1 の絶縁膜を異方性エッチングして上記ゲート電極両側の側壁に第 1 のサイドウォールスペーサを形成する工程と、次いで上記ゲート電極および上記第 1 のサイドウォールスペーサを覆って全面に第 2 の絶縁膜を形成する工程と、次いでレジストマスクを用いた等方性エッチングにより、上記ゲート電極の片側の上記第 1 のサイドウォール表面における上記第 2 の絶縁膜を、選択的に膜厚を減少させる工程と、その後上記第 2 の絶縁膜を全面異方性エッチングして上記第 1 のサイドウォールスペーサの外側にさらにサイドウォールスペーサを形成して、上記ゲート電極側壁に、左右で幅の違う第 2 のサイドウォールスペーサを形成する工程と、サリサイド技術により、上記ゲート電極表面および上記第 2 のサイドウォールスペーサ外側の上記半導体基板表面にシリサイド層を形成する工程と、上記ゲート電極および上記第 2 のサイドウォールスペーサをマスクとしたイオン注入により、ソース・ドレイン領域を形成する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項 16】 半導体基板上の所定領域にゲート電極を形成した後、全面に絶縁膜を形成し、この絶縁膜にレジストマスクを用いて選択的に異方性エッチングを施して、上記ゲート電極の一方の側壁に配設されるサイドウォールスペーサと、上記ゲート電極上から他方の側壁表面を覆って上記半導体基板上に延在する絶縁膜パターンとを形成する工程と、サリサイド技術により、上記サイドウォールスペーサおよび上記絶縁膜パターンで覆われていない領域の、上記ゲート電極表面およびその両側の上記半導体基板表面にシリサイド層を形成する工程と、上記ゲート電極、上記サイドウォール、および上記絶縁膜パターンをマスクとしたイオン注入により、高濃度のソース・ドレイン領域と、このソース・ドレイン領域の一方に隣接して上記絶縁膜パターン下層に配設される低濃度の LDD 領域とを形成する工程と、を有することを

特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は半導体装置に関し、特にゲート電極がオフセット構造である MOS 型トランジスタの構造およびその製造方法に関するものである。

【0002】

【従来の技術】 図 4-1 は従来のオフセット構造のゲート電極を有する MOS 型トランジスタの構造の一例を示す断面図である。図において、1 はシリコン単結晶から成る半導体基板（以下、基板と称す）、2 は基板 1 に形成された素子分離用のフィールド絶縁膜、3 は基板 1 上に形成されたゲート絶縁膜、4 は基板 1 上にゲート絶縁膜 3 を介して形成された、ポリシリコンから成るゲート電極、5 はゲート電極 4 側壁に形成された、酸化膜から成るサイドウォールスペーサ、6 a および 6 b は、基板 1 表面でゲート電極 4 の左右両側に形成されたソース領域およびドレイン領域である。図 4-1 に示す様に、ゲート電極 4 をドレイン領域 6 b と離間させて形成したオフセット構造にすることにより、ゲート・ドレイン間耐圧を向上させたものである。

【0003】 次に、図 4-2 は従来のサリサイド (SALICIDE: Self Aligned Silicide) 技術を用いた MOS 型トランジスタの構造および製造方法を示す断面図である。図に示す様に、まず、基板 1 に LOCOS 法を用いてフィールド絶縁膜 2 を形成した後、公知の方法によりゲート絶縁膜 7、ポリシリコンから成るゲート電極 8 およびサイドウォールスペーサ 9 を順次形成する（図 4-2 (a)）。次に、イオン注入法により自己整合的にソース・ドレイン領域 10 a、10 b を形成する（図 4-2 (b)）。次に、全面に Ti 膜 11 を堆積し（図 4-2 (c)）、その後、基板 1 に RTA (Rapid Thermal Annealing) 処理を施すことにより、シリコン上の Ti 膜 11 と下地のシリコンとを反応させシリサイド層 12 に変成させる。この後、未反応の Ti 膜 11 を除去する（図 4-2 (d)）。

【0004】 これにより、図 4-2 (d) に示す様に、シリコン上、すなわち、ゲート電極 8 上およびソース・ドレイン領域 10 a、10 b 上に低抵抗なシリサイド層 12 が自己整合的に形成され、コンタクト抵抗の低減や、ゲート、ソース・ドレイン等の電極の低抵抗化が達成できるものである。

【0005】

【発明が解決しようとする課題】 従来のサリサイド技術を用いた MOS 型トランジスタは、以上の様に製造されているため、このようなサリサイド技術を図 4-1 で示した様な、ゲート電極 4 がオフセット構造になっている MOS 型トランジスタに適用するには、以下の様な問題点があった。即ち、ゲート電極 4 がドレイン領域 6 b と離間

して形成されているため、ゲート電極4とドレイン領域6bとの間で基板1のシリコン表面が露出した状態となり、この後、サリサイド技術を用いてシリサイド層12を形成すると、図43に示す様にゲート電極4、ドレイン領域6b間の基板1表面にもシリサイド層12が形成されるため、ゲート・ドレイン間耐圧の向上等、オフセット構造による効果が得られない。

【0006】この発明は、以上の様な問題点を解消するためになされたものであって、MOS型トランジスタにおいて、サリサイド技術による、コンタクト抵抗の低減化、およびゲート、ソース・ドレイン等の電極の低抵抗化と、ゲート電極をオフセット構造にすることによるゲート・ドレイン間耐圧の向上等、トランジスタ特性の向上とを共に図ることができる構造、およびそれに適した製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】この発明の請求項1に係る半導体装置は、単結晶シリコンから成る半導体基板上に、ゲート絶縁膜を介して形成されたゲート電極と、このゲート電極の両側に形成されたソース・ドレイン領域と、このソース・ドレイン領域表面にサリサイド技術により形成されたシリサイド層とを有し、上記ソース・ドレイン領域の少なくとも一方を上記ゲート電極と所定の離間距離で離間し、当該ソース・ドレイン領域表面の上記シリサイド層を、当該ソース・ドレイン領域よりもさらに上記ゲート電極から離間したものである。

【0008】この発明の請求項2に係る半導体装置は、ソース領域をゲート電極と近接し、ドレイン領域を上記ゲート電極と所定の離間距離で離間したものである。

【0009】この発明の請求項3に係る半導体装置は、単結晶シリコンから成る半導体基板上に、ゲート絶縁膜を介して形成されたゲート電極と、このゲート電極の両側に形成されたソース・ドレイン領域と、このソース・ドレイン領域表面にサリサイド技術により形成されたシリサイド層とを有し、上記ソース領域を上記ゲート電極と所定の離間距離で離間し、当該ソース領域表面の上記シリサイド層を、該ソース領域よりもさらに上記ゲート電極から離間したMOS型トランジスタを、外部信号を受け取る入出力バッファ内に配設したものである。

【0010】この発明の請求項4に係る半導体装置は、ゲート電極表面にも、サリサイド技術によるシリサイド層を形成したものである。

【0011】この発明の請求項5に係る半導体装置は、ゲート電極をポリシリコン膜とシリサイド層とが積層して堆積された二層構造としたものである。

【0012】この発明の請求項6に係る半導体装置は、単結晶シリコンから成る半導体基板上に、ゲート絶縁膜を介して形成されたゲート電極と、このゲート電極両側の側壁に形成されたサイドウォールスペーサと、このサイドウォールスペーサが形成された上記ゲート電極の外

側に形成されたソース・ドレイン領域と、このソース・ドレイン領域および上記ゲート電極の表面にサリサイド技術により形成されたシリサイド層とを有し、上記サイドウォールスペーサのうち、上記ドレイン領域側のサイドウォールスペーサを、上記ソース領域側のサイドウォールスペーサに比べて厚い幅に形成したものである。

【0013】この発明の請求項7に係る半導体装置は、ドレイン領域側のサイドウォールスペーサを、約0.2 μm 程度を越えない寸法の幅で形成したものである。

【0014】この発明の請求項8に係る半導体装置は、ソース領域側のサイドウォールスペーサを、約0.1 μm 程度の寸法の幅で形成したものである。

【0015】この発明の請求項9に係る半導体装置は、単結晶シリコンから成る半導体基板上に、ゲート絶縁膜を介して形成されたゲート電極と、このゲート電極両側の側壁に形成されたサイドウォールスペーサと、このサイドウォールスペーサが形成された上記ゲート電極の外側に形成されたソース・ドレイン領域と、このソース・ドレイン領域および上記ゲート電極の表面にサリサイド技術により形成されたシリサイド層とを有し、上記サイドウォールスペーサのうち、上記ソース領域側のサイドウォールスペーサを、上記ドレイン領域側のサイドウォールスペーサに比べて厚い幅に形成したMOS型トランジスタを、外部信号を受け取る入出力バッファ内に配設したものである。

【0016】この発明の請求項10に係る半導体装置は、単結晶シリコンから成る半導体基板上に、ゲート絶縁膜を介して形成されたゲート電極と、このゲート電極の一方の側壁に形成されたサイドウォールスペーサと、上記ゲート電極上から他方の側壁表面を覆って上記半導体基板上に延在する絶縁膜パターンと、上記サイドウォールスペーサの外側に形成されるソース領域と、上記絶縁膜パターンの外側に形成されるドレイン領域と、このドレイン領域に隣接して上記絶縁膜パターン下層に形成されるLDD領域と、上記ゲート電極の上記絶縁膜パターンが形成されていない領域、上記ソース領域、および上記ドレイン領域の表面にサリサイド技術により形成されたシリサイド層と、を有するものである。

【0017】この発明の請求項11に係る半導体装置は、サイドウォールスペーサを約0.1 μm 程度の寸法の幅で形成したものである。

【0018】この発明の請求項12に係る半導体装置は、単結晶シリコンから成る半導体基板上に、ゲート絶縁膜を介して形成されたゲート電極と、このゲート電極の一方の側壁に形成されたサイドウォールスペーサと、上記ゲート電極上から他方の側壁表面を覆って上記半導体基板上に延在する絶縁膜パターンと、上記サイドウォールスペーサの外側に形成されるドレイン領域と、上記絶縁膜パターンの外側に形成されるソース領域と、このソース領域に隣接して上記絶縁膜パターン下層に形成さ

れるLDD領域と、上記ゲート電極の上記絶縁膜パターンが形成されていない領域、上記ソース領域、および上記ドレイン領域の表面にサリサイド技術により形成されたシリサイド層と、を有するMOS型トランジスタを、外部信号を受け取る入出力バッファ内に配設したものである。

【0019】この発明の請求項13に係る半導体装置の製造方法は、単結晶シリコンから成る半導体基板上に、ゲート絶縁膜を介してゲート電極を形成する工程と、上記ゲート電極を覆い、隣接する上記半導体基板表面に渡って保護膜を形成して、サリサイド技術により上記ゲート電極両側の上記半導体基板表面にシリサイド層を形成する工程と、レジストマスクを用いたイオン注入により、上記ゲート電極と所定の離間距離で少なくとも一方が離間したソース・ドレイン領域を形成する工程と、を有し、上記保護膜の上記半導体基板表面での端部位置を、上記レジストマスクの端部位置よりも上記ゲート電極から離れた位置となる様設定したものである。

【0020】この発明の請求項14に係る半導体装置の製造方法は、単結晶シリコンから成る半導体基板上に、ゲート絶縁膜を介してゲート電極を形成する工程と、このゲート電極と隣接する上記半導体基板上に、当該ゲート電極端部から所定の幅に渡って上記半導体基板表面が露出しない様に保護膜を形成して、サリサイド技術により、上記ゲート電極表面およびその両側の上記半導体基板表面にシリサイド層を形成する工程と、レジストマスクを用いたイオン注入により、上記ゲート電極と所定の離間距離で少なくとも一方が離間したソース・ドレイン領域を形成する工程と、を有し、上記保護膜の一方の端部位置を、上記レジストマスクの上記半導体基板表面での端部位置よりも、上記ゲート電極から離れた位置となる様設定したものである。

【0021】この発明の請求項15に係る半導体装置の製造方法は、半導体基板上の所定領域にゲート電極を形成した後、全面に第1の絶縁膜を形成し、この第1の絶縁膜を異方性エッチングして上記ゲート電極両側の側壁に第1のサイドウォールスペーサを形成する工程と、次いで上記ゲート電極および上記第1のサイドウォールスペーサを覆って全面に第2の絶縁膜を形成する工程と、次いでレジストマスクを用いた等方性エッチングにより、上記ゲート電極の片側の上記第1のサイドウォール表面における上記第2の絶縁膜を、選択的に膜厚を減少させる工程と、その後上記第2の絶縁膜を全面異方性エッチングして上記第1のサイドウォールスペーサの外側にさらにサイドウォールスペーサを形成して、上記ゲート電極側壁に、左右で幅の違う第2のサイドウォールスペーサを形成する工程と、サリサイド技術により、上記ゲート電極表面および上記第2のサイドウォールスペーサ外側の上記半導体基板表面にシリサイド層を形成する工程と、上記ゲート電極および上記第2のサイドウォール

ルスペーサをマスクとしたイオン注入により、ソース・ドレイン領域を形成する工程と、を有するものである。

【0022】この発明の請求項16に係る半導体装置の製造方法は、半導体基板上の所定領域にゲート電極を形成した後、全面に絶縁膜を形成し、この絶縁膜にレジストマスクを用いて選択的に異方性エッチングを施して、上記ゲート電極の一方の側壁に配設されるサイドウォールスペーサと、上記ゲート電極上から他方の側壁表面を覆って上記半導体基板上に延在する絶縁膜パターンとを形成する工程と、サリサイド技術により、上記サイドウォールスペーサおよび上記絶縁膜パターンで覆われていない領域の、上記ゲート電極表面およびその両側の上記半導体基板表面にシリサイド層を形成する工程と、上記ゲート電極、上記サイドウォール、および上記絶縁膜パターンをマスクとしたイオン注入により、高濃度のソース・ドレイン領域と、このソース・ドレイン領域の一方に隣接して上記絶縁膜パターン下層に配設される低濃度のLDD領域とを形成する工程と、を有するものである。

【0023】

【発明の実施の形態】

実施の形態1. 以下、この発明の実施の形態1を図について説明する。図1は、この発明の実施の形態1によるMOS型トランジスタの構造を示す断面図である。図において、13はシリコン単結晶から成る半導体基板（以下、基板と称す）、14は基板13に形成された素子分離用のフィールド絶縁膜、15は基板13上に形成されたゲート絶縁膜、16は基板13上にゲート絶縁膜15を介して形成された、ポリシリコンから成るゲート電極、17はゲート電極16側壁に形成された、酸化膜から成るサイドウォールスペーサ、18aおよび18bは、基板13表面でゲート電極16の左右両側に形成されたソース領域およびドレイン領域、19はシリサイド層で、特に19aはソース領域18a表面に形成されたシリサイド層、19bはドレイン領域18b表面に形成されたシリサイド層である。また、20は層間絶縁膜、21は層間絶縁膜20に設けられたコンタクトホール、22はコンタクトホール21を介してゲート電極16、ソース領域18aおよびドレイン領域18bのそれぞれに接続形成された電極配線層である。

【0024】図1に示す様に、ゲート電極16は、ドレイン領域18bと所定の寸法離間した位置に形成されたオフセット構造である。また、ドレイン領域18b表面に形成されたシリサイド層19bは、ドレイン領域18bと比べて、ゲート電極16からはさらに所定の寸法離間した位置に形成される。すなわち、このシリサイド層19bは、ドレイン領域18bにおけるゲート電極16側端部の所定幅の領域を除いて、ドレイン領域18b表面全体に形成される。また、ドレイン領域18b上のコンタクトホール21は、シリサイド層19b形成領域内

に形成される。

【0025】この様に構成されるMOS型トランジスタの製造方法を図2～図10に基づいて以下に示す。まず、基板13にLOCOS法を用いてフィールド絶縁膜14を形成した後、公知の方法によりゲート絶縁膜15、ポリシリコンから成るゲート電極16、およびサイドウォールスペーサ17を順次形成する(図2)。次に、全面に例えば、 SiO_2 膜23aを形成した後(図3)、その上の全面にホトレジスト膜24を形成し、ホトリソグラフィ技術によりパターン化する(図4)。このレジスト・パターン24をマスクとして下地の SiO_2 膜23aをエッチングして、ゲート電極16を覆って隣接するドレイン側の基板13表面に渡って、 SiO_2 膜23aから成る保護膜23を形成する。その後ホトレジスト膜24を除去する(図5)。

【0026】次に、全面に Co 膜25を形成し(図6)、その後、基板13にRTA処理を施すことにより、シリコン上の Co 膜25と下地のシリコンとを反応させシリサイド層19に変成させる(図7)。この後、未反応の Co 膜25を、例えば H_2O_2 処理により除去した後、続いて、保護膜23を除去する。これにより、表面に保護膜23が形成されていなかった基板13シリコン上にシリサイド層19a、19bが形成される(図8)。

【0027】次に、全面にホトレジスト膜26を形成し、ホトリソグラフィ技術によりパターン化する。このレジスト・パターン26をマスクとして、基板13上からイオン注入法により不純物注入を行い、ソース領域18aおよびドレイン領域18bを形成する。このとき注入マスクに用いたレジストパターン26は、ゲート電極16上から隣接するドレイン側の基板13表面に渡って形成され、その基板13表面での端部位置は、前工程のシリサイド層19形成時に用いた保護膜23の基板13表面での端部位置よりも、ゲート電極16に近いものである。これにより、ゲート電極16の両側に、表面にシリサイド層19a、19bがそれぞれ形成されたソース領域18aおよびドレイン領域18bが形成される。このソース領域18aはゲート電極16に近接して形成されるが、ドレイン領域18bはゲート電極16と所定の寸法離間して形成され、ドレイン領域18b表面のシリ

【0028】次に、ホトレジスト膜26を除去した後(図10)、全面に層間絶縁膜20を形成し、コンタクトホール21を開く。その後、電極配線層22を、コンタクトホール21を埋め込む様に全面に形成した後パターニングすることにより、コンタクトホール21を介してゲート電極16、ソース領域18a、ドレイン領域18bのそれぞれに接続形成する。このとき、ソース

領域18aおよびドレイン領域18bにおいては、電極配線層22はシリサイド層19a、19bを介して接続される(図1参照)。この後、所定の処理を施してMOS型トランジスタを完成する。

【0029】上記実施の形態1では、保護膜23をゲート電極16を覆って、隣接するドレイン側の基板13表面に渡って形成した状態で、シリサイド技術を用いてシリサイド層19a、19bを形成する。このためドレイン側の基板13表面に形成されるシリサイド層19bは、所定の離間距離でゲート電極16から離間し、この離間距離は、保護膜23の基板13表面での端部位置によって決定される。また、ソース領域18aおよびドレイン領域18b形成のためのイオン注入の際、ゲート電極16上から隣接するドレイン側の基板13表面に渡って形成されたレジスト・パターン26を注入マスクに用いる。このためドレイン領域18bは、レジスト・パターン26の基板13表面での端部位置によって決定される離間距離だけ、ゲート電極16から離間して形成される。さらに、レジスト・パターン26の基板13表面での端部位置は、保護膜23の端部位置よりも、ゲート電極16に近いものであるため、ドレイン領域18b表面のシリサイド層19bが、ドレイン領域18bよりもさらにゲート電極16から離間した位置に形成されたオフセット構造のMOS型トランジスタが容易に製造できる。

【0030】シリサイド技術によって形成されるシリサイド層19は、設計上の所望の寸法より若干広がって形成されるものであるが、上述した様に、ドレイン領域18bよりもさらにゲート電極16から離間させる様にシリサイド層19bを形成することにより、製造上のマージンが十分に取れる。このため、シリサイド層19bがドレイン領域18b表面から基板13上にまで広がって形成されることはなく、オフセット構造による効果を損なうことはない。これにより、オフセット構造によるゲート・ドレイン間耐圧の向上と、シリサイド技術によるコンタクト抵抗の低減およびソース・ドレイン領域18a、18bの低抵抗化との、双方の効果を併せ持つ優れた特性を有するMOS型トランジスタが得られる。

【0031】なお、上記実施の形態1では、シリサイド層19を形成した後、ソース・ドレイン領域18a、18bを形成したが、レジスト・パターン26を用いてイオン注入によりソース・ドレイン領域18a、18bを形成した後に、保護膜23を用いてシリサイド技術によりシリサイド層19を形成しても良く、同様の効果を奏する。

【0032】また、上記実施の形態1では保護膜23に SiO_2 膜23aを用いたが、 SiN 、 SiON 等他の絶縁膜を用いても良い。また、シリサイド層19においても、 Co の代わりに Ti 、 Ni 等他の高融点金属をシリサイド化させても良い。

【0033】実施の形態2。次に、この発明の実施の形態2を図について説明する。図11は、この発明の実施の形態2によるMOS型トランジスタの構造を示す断面図である。図11に示す様に、上記実施の形態1によるMOS型トランジスタにおいて、ゲート電極16上にもシリサイド層19cを形成したものである。

【0034】この様に構成されるMOS型トランジスタの製造方法を図12～図20に基づいて以下に示す。まず、上記実施の形態1と同様に、基板13にフィールド絶縁膜14を形成した後、ゲート絶縁膜15、ポリシリコンから成るゲート電極16、およびサイドウォールスペーサ17を形成する(図12)。次に、全面に例えばSiO₂膜27aを形成した後(図13)、その上の全面にホトレジスト膜28を形成し、ホトリソグラフィ技術によりパターン化する(図14)。このレジスト・パターン28をマスクとして下地のSiO₂膜27aをエッチングして、ゲート電極16に隣接するドレイン側の基板13上に、ゲート電極16端部から所定の幅に渡って基板13表面が露出しない様にSiO₂膜27aから成る保護膜27を形成する。その後、ホトレジスト膜28を除去する(図15)。

【0035】次に、全面にC₆₀膜25を形成し(図16)、その後、基板13にRTA処理を施すことにより、シリコン上のC₆₀膜25と下地のシリコンとを反応させシリサイド層19に変成させる(図17)。この後、未反応のC₆₀膜25を、例えばH₂O₂処理により除去した後、続いて、保護膜27を除去する。これにより、ゲート電極16の両側で、表面に保護膜27が形成されていなかった基板13シリコン上とポリシリコン膜から成るゲート電極16上とにシリサイド層19a、19b、19cが形成される(図18)。

【0036】次に、上記実施の形態1と同様にレジスト・パターン26をマスクとしてイオン注入法によりソース領域18aおよびドレイン領域18bを形成する。このとき、レジスト・パターン26は、ゲート電極16上から隣接するドレイン側の基板13表面に渡って形成され、その基板13表面での端部位置は、前工程のシリサイド層19形成時に用いた保護膜27の一方の端部位置よりも、ゲート電極16に近いものである(図19)。この後、上記実施の形態1と同様に、ホトレジスト膜26を除去した後(図20)、層間絶縁膜20、コンタクトホール21、電極配線層22を順次形成し(図11参照)、所定の処理を施してMOS型トランジスタを完成する。

【0037】上記実施の形態2では、ゲート電極16に隣接するドレイン側の基板13上に、ゲート電極16端部から所定の幅に渡って基板13表面が露出しない様に保護膜27を形成した状態で、シリサイド技術を用いてシリサイド層19a、19b、19cを形成する。このため、上記実施の形態1と同様のシリサイド層19a、

19bと、さらにゲート電極16上にもシリサイド層19cが形成される。この様に、ゲート電極16上にも低抵抗なシリサイド層19cを形成するため、ゲート電極16の低抵抗化、およびゲート電極16へのコンタクト抵抗の低減化が図れ、回路の高速化が一層進む。

【0038】なお、上記実施の形態1と同様にこの実施の形態においても、シリサイド層19の形成とソース・ドレイン領域18a、18bの形成とは形成の順序を逆にしても良く、保護膜27の材料およびシリサイド層19の材料についても、他の絶縁膜および他の高融点金属をシリサイド化させたものでも良い。

【0039】実施の形態3。次に、この発明の実施の形態3を図について説明する。図21は、この発明の実施の形態3によるMOS型トランジスタの構造を示す断面図である。図21に示す様に、上記実施の形態1によるMOS型トランジスタにおいて、ゲート電極16をポリサイド構造、すなわちポリシリコン膜16aとシリサイド層16bとの二層構造にしたものである。上記実施の形態1における製造方法で、ゲート電極16を形成する際、ポリシリコン膜16aとシリサイド層16bを積層してからパターニングすることによりポリサイド構造にする。このゲート電極16の製造方法および構造以外は全て上記実施の形態と同様である。

【0040】この実施の形態3では、ゲート電極16をポリサイド構造にすることによって、上記実施の形態2と同様に、低抵抗なシリサイド層16bをゲート電極16にも形成するため、ゲート電極16の低抵抗化、およびゲート電極16へのコンタクト抵抗の低減化が図れ、回路の高速化を一層進めることができる。さらに、シリサイド技術に比べ、短いゲート長であっても安定して低抵抗なシリサイド層16bが形成できるため、上記効果が信頼性良く確実に得られる。

【0041】実施の形態4。上記実施の形態1～3では、ゲート電極16をドレイン領域18bと隣間させて形成したオフセット構造のMOS型トランジスタを示したが、ゲート電極16をソース領域と隣間させたオフセット構造でシリサイド技術を用いたMOS型トランジスタの例を以下に示す。ところで、半導体集積回路装置においては、消費電力を下げるため、例えば5V→3.3Vに電源電圧を下げるが行われている。ところが周辺機器等で低電圧化されない回路装置が残存する場合には、例えば5Vの外部信号をそのまま受け取ることで入出力バッファが必要となる。

【0042】そこで、図22の回路図に示す様にトランジスタのソース電極側に抵抗29を挿入することにより、低電圧化されずに5Vのまま入力されてもトランジスタに5Vが直接印加されない様に構成すれば良い。図23は2電源対応の入出力バッファを構成する半導体装置の構造を示す断面図である。図に示す様に、3.3V動作領域には、ソース・ドレイン領域30がゲート電極1

6の両側に近接したMOS型トランジスタ31が形成され、5V動作領域には、ソース・ドレイン領域32a、32bのうちソース領域32aがゲート電極16と離間したオフセット構造のMOS型トランジスタ33が形成される。またソース・ドレイン領域30、32a、32b表面にはそれぞれサリサイド技術によりシリサイド層34c、34a、34bが形成され、特に、MOS型トランジスタ33のソース領域32a表面のシリサイド層34aは、ソース領域32aと比べて、ゲート電極16からはさらに離間して形成される。

【0043】この様に構成される半導体装置の製造方法は、上記実施の形態1によるMOS型トランジスタの製造方法において、ソース側とドレイン側とを反転させれば良く、またそのときMOS型トランジスタ31の領域には、保護膜23のパターンやレジスト・パターン26を形成しないで、サリサイド工程やイオン注入工程を施すことにより、オフセット構造のMOS型トランジスタ33と通常のMOS型トランジスタ31とを同時に容易に製造できる。

【0044】この実施の形態では、5V動作領域のMOS型トランジスタ33をソース領域32aとゲート電極16とを離間したオフセット構造としたため、ゲート電極16とソース領域32aとの間の基板13が寄生抵抗素子の役割を果たし、トランジスタに5Vが直接印加されない。またソース領域32a表面のサリサイド技術によるシリサイド層34aを、ソース領域32aよりもさらにゲート電極16から離間させる様に形成することにより、製造上のマージンが十分に取れ、シリサイド層34aがソース領域32a表面から基板13上にまで拡がって形成されることはない。これにより、オフセット構造による、ソース電極側の寄生抵抗素子内蔵の効果を損なうことなく、サリサイド技術による、コンタクト抵抗の低減およびソース・ドレイン領域32a、32bの低抵抗化の効果が得られる。

【0045】なお、この場合も上記実施の形態2または3を適用して、ゲート電極16表面にもサリサイド技術によるシリサイド層を形成するか、あるいはゲート電極16をポリサイド構造にしても良い。

【0046】また、上記実施の形態1~4はソース領域あるいはドレイン領域がゲート電極と離間したものを示したが、ソース領域およびドレイン領域の双方がそれぞれ所定の離間距離でゲート電極16と離間し、サリサイド技術によりソース領域およびドレイン領域の表面に、それらよりさらにゲート電極16から離間させてシリサイド層を形成したMOS型トランジスタを構成しても良い。

【0047】実施の形態5。次に、この発明の実施の形態5を図について説明する。図24は、この発明の実施の形態5によるMOS型トランジスタの構造を示す断面図である。図において、13~16、および20~22

は上記実施の形態1と同じものであり、35aおよび35bはゲート電極16の左右両側に形成されたソース領域およびドレイン領域で、ゲート電極16がドレイン領域35bと所定の寸法離間したオフセット構造である。また、36はゲート電極16のソース領域35a側の側壁に形成された、第2のサイドウォールスペーサとなるサイドウォールスペーサ（以下、ソース側サイドウォールと称す）、37はゲート電極16のドレイン領域35b側の側壁に、ソース側サイドウォール36よりも厚い幅に形成された、同じく第2のサイドウォールスペーサとなるサイドウォールスペーサ（以下、ドレイン側サイドウォールと称す）、38はゲート電極およびソース・ドレイン領域35a、35bの表面に形成されたシリサイド層である。

【0048】このように構成されるMOS型トランジスタの製造方法を図25~図32に基づいて以下に示す。まず、上記実施の形態1と同様に、基板13にフィールド絶縁膜14を形成した後、ゲート絶縁膜15、さらにポリシリコンから成るゲート電極16を形成する。その後、全面に第1の絶縁膜として、例えばSiO₂膜39を約0.1~0.15μmの膜厚に形成する（図25）。

【0049】次に、SiO₂膜39に、例えばRIEによる全面エッチバックを施して、ゲート電極16両側の側壁に、第1のサイドウォールスペーサとしてサイドウォールスペーサ39a、39bを約0.1μm程度の幅に形成する。続いて、ゲート電極16およびサイドウォールスペーサ39a、39bを覆って全面に、第2の絶縁膜として、例えばSiO₂膜40を約0.1μm~0.2μmの膜厚に形成する。その後、SiO₂膜40上の全面にホトレジスト膜41を形成し、ホトリソグラフィ技術によりパターン化して、ゲート電極16形成領域上からドレイン領域35b側の基板13領域上に延在するレジスト・パターン41を形成する（図26）。

【0050】次に、レジスト・パターン41をマスクとして、下地のSiO₂膜40を、約20~30nmの膜厚になるまで等方性エッチングによりエッチング除去する（図27）。その後、ホトレジスト膜41を除去した後（図28）、例えばRIEによる全面エッチバックを施して、ゲート電極16の側壁に約0.1μm程度の幅のソース側サイドウォール36と約0.15~0.2μmの幅のドレイン側サイドウォール37とを形成する（図29）。

【0051】次に、全面にCo膜42を形成し（図30）、その後、基板13にRTA処理を施すことにより、シリコン上のCo膜42と下地のシリコンとを反応させシリサイド層38に変成させる。この後、未反応のCo膜42を、例えばH₂O₂処理により除去する（図31）。次に、基板13上からイオン注入法により不純物注入を行い、その後熱処理により不純物を拡散してソー

ス領域 35a およびドレイン領域 35b をサイドウォール 36、37 が形成されたゲート電極 16 の外側の基板 13 に形成する (図 32)。この後、上記実施の形態 1 と同様に、層間絶縁膜 20、コンタクトホール 21、電極配線層 22 を順次形成し (図 24 参照)、所定の処理を施して MOS 型トランジスタを完成する。

【0052】上記実施の形態 5 では、まずゲート電極 16 両側の側壁に約 0.1 μm 程度の幅のサイドウォールスペース 39a、39b を形成し、これらのサイドウォールスペース 39a、39b の外側に、さらに SiO₂ 膜 40 を異方性エッチングしてできるサイドウォールを形成し、ソース側サイドウォール 36 およびドレイン側サイドウォール 37 を形成する。このとき、ソース側サイドウォール 36 については、その領域であらかじめ等方性エッチングにより SiO₂ 膜 40 を約 20~30 nm の膜厚まで薄くしているため、サイドウォール幅はほとんど増加せず約 0.1 μm 程度である。これに対しドレイン側サイドウォール 37 についてはその領域の SiO₂ 膜 40 は、等方性エッチングの際、レジストパターン 41 で覆われてエッチングされないため、約 0.15~0.2 μm の厚いサイドウォール幅となる。

【0053】また、上記のようなソース側サイドウォール 36 およびドレイン側サイドウォール 37 の形成により、その後にシリサイド技術によりシリサイド層 38 を形成する際、ゲート電極 16 とソース・ドレイン領域 35a、35b とが短絡するのが防止できる。また、このシリサイド層 38 の形成により、コンタクト抵抗の低減、およびゲート電極 16、ソース・ドレイン領域 35a、35b の低抵抗化の効果が得られる。さらに、ソース側サイドウォール 36 は幅が約 0.1 μm 程度の薄いものであり、ソース領域 35a は拡散によってゲート電極 16 方向へも若干拡がって形成されるため、ソース領域 35a とゲート電極 16 との離間による寄生抵抗の増大が防止できる。

【0054】ドレイン側サイドウォール 37 は、幅が約 0.15~0.20 μm の厚いものであるため、ゲート電極 16 とドレイン領域 35b とが離間したオフセット構造となり、ゲート・ドレイン間耐圧が向上する。また、ゲート電極 16 とドレイン領域 35b との離間寸法は、約 0.20 μm 程度を越えると、寄生抵抗が大きくなりすぎてトランジスタの駆動性能が低下するものである。通常、ホトリソグラフィ技術を用いたものでは、0.2 μm 以下の寸法制御は信頼性の低いものであるが、上記実施の形態 5 では、SiO₂ 膜 40 の膜厚によってドレイン側サイドウォール 37 の幅を自己整合的に決定するため、微細寸法で信頼性良く容易に制御でき、これによって、ゲート電極 16 とドレイン領域 35b との離間寸法も同様に制御できる。このように、ドレイン側サイドウォール 37 を、その幅を約 0.20 μm 程度を越えないように制御すると、トランジスタの良好な駆

動性能を保ちながら、ゲート・ドレイン間耐圧の向上したオフセット構造の MOS トランジスタが得られる。

【0055】なお、この実施の形態においても、シリサイド層 38 の形成と、ソース・ドレイン領域 35a、35b の形成とは形成の順序を逆にしても良く、第 1 の絶縁膜 39、第 2 の絶縁膜 40、およびシリサイド層 38 の材料についても他の絶縁膜および他の高融点金属をシリサイド化させたものでも良い。

【0056】また、上記実施の形態では、ソース側サイドウォール 36 を、その幅を約 0.1 μm 程度にして、ソース領域 35a とゲート電極 16 とがほとんど離間しないものとしたが、ソース側サイドウォール 36 の幅をドレイン側サイドウォール 37 の幅よりも窄くすることによって、ソース領域 35a とゲート電極 16 との離間寸法が、ドレイン領域 35b とゲート電極 16 との離間寸法より小さいオフセット構造の MOS 型トランジスタとしても良い。

【0057】また、この実施の形態で示したオフセット構造の MOS 型トランジスタのソース側とドレイン側とを反転させて、上記実施の形態 4 で示した 2 電源対応の入出力バッファに適用させることもできる。

【0058】実施の形態 6。次に、この発明の実施の形態 6 を図について説明する。図 33 は、この発明の実施の形態 6 による MOS 型トランジスタの構造を示す断面図である。図において、13~16、および 20~22 は上記実施の形態 1 と同じのものであり、43a および 43b はゲート電極 16 の左右両側に形成された高濃度拡散層から成るソース領域およびドレイン領域で、このドレイン領域 43b はゲート電極 16 と所定の寸法離間し、その間に低濃度拡散層から成る LDD 領域 44 がドレイン領域 43b に隣接して形成される。

【0059】また、45a はゲート電極 16 のソース領域 43a 側の側壁に形成された、サイドウォールスペース (以下、ソース側サイドウォールと称す)、45b はゲート電極 16 上から、ゲート電極 16 の側面を覆ってドレイン領域 43b 側の基板 13 上の所定領域に延在した絶縁膜パターン、46 はシリサイド層で、特に 46a は、ゲート電極 16 表面の絶縁膜パターン 45b が形成されていない領域に形成されたシリサイド層、46b、46c は、ソース領域 43a およびドレイン領域 43b の表面にそれぞれ形成されたシリサイド層である。

【0060】図 33 に示すように、ソース 43a はシングル構造、ドレイン 43b、44 は LDD 構造であり、ゲート電極 16 のソース側にはソース側サイドウォール 45a が、ドレイン側には絶縁膜パターン 45b が形成される。この絶縁膜パターン 45b はゲート電極 16 上から、ゲート電極 16 端部から約 0.15~0.20 μm の位置のドレイン領域 43b 側の基板 13 上までの領域に形成される。また、高濃度のドレイン領域 43b は、絶縁膜パターン 45b の外側の基板 13 に、LDD

領域 44 は絶縁膜パターン 45b の下層の基板 13 に形成される。

【0061】このように形成される MOS 型トランジスタの製造方法を図 34 ~ 図 40 に基づいて以下に示す。まず、上記実施の形態 1 と同様に、基板 13 にフィールド絶縁膜 14 を形成した後、ゲート絶縁膜 15、さらにポリシリコンから成るゲート電極 16 を形成する。その後、全面に絶縁膜として例えば SiO_2 膜 45c を、例えば約 0.1 ~ 0.15 μm の膜厚に形成する (図 34)。

【0062】次に、 SiO_2 膜 45c 上の全面にホトレジスト膜 47 を形成し、ホトリソグラフィ技術によりパターン化して、ゲート電極 16 形成領域上からドレイン領域 43b 側の基板 13 領域上に延在するレジスト・パターン 47 を形成する (図 35)。このレジスト・パターン 47 をマスクとして、下地の SiO_2 膜 45c を、例えば RIE によりエッチングし、ゲート電極 16 のソース領域 43a 形成予定側の側壁にソース側サイドウォール 45a を約 0.1 μm 程度の幅に形成する (図 36)。

【0063】この後、ホトレジスト膜 47 を除去すると、ゲート電極 16 上から、ゲート電極 16 の側面を覆ってドレイン領域 43b 側の基板 13 上に延在する絶縁膜パターン 45b が残存される。この絶縁膜パターン 45b はその基板 13 上の端部が、ゲート電極 16 端部から約 0.15 ~ 0.20 μm の位置に来るように配設される (図 37)。次に、全面に Co 膜 42 を形成し (図 38)、その後、基板 13 に RTA 処理を施すことにより、シリコン上の Co 膜 42 と下地のシリコンとを反応させシリサイド層 46 に変成させる。この後、未反応の Co 膜 42 を、例えば H_2O_2 処理により除去する (図 39)。

【0064】次に、基板 13 上からイオン注入法により、例えばリンをエネルギー: 100 ~ 150 keV、注入量: $1 \times 10^{11} \sim 1 \times 10^{14} / \text{cm}^2$ で注入する不純物注入を行い、その後熱処理により不純物を拡散して、ソース側サイドウォール 45a の外側の基板 13 にソース領域 43a を、絶縁膜パターン 45b の外側の基板 13 にドレイン領域 43b を形成する。この時絶縁膜パターン 45b の下層の基板 13 にも、同時に、低濃度、例えばリン濃度: $10^{11} \sim 10^{14} / \text{cm}^2$ の LDD 領域 44 がドレイン領域 43b と隣接して形成される (図 40)。この後、上記実施の形態 1 と同様に、層間絶縁膜 20、コンタクトホール 21、電極配線層 22 を順次形成し (図 33 参照)、所定の処理を施して MOS 型トランジスタを完成する。

【0065】上記実施の形態 6 では、絶縁膜パターン 45b を、ゲート電極 16 上からドレイン領域 43b 側の基板 13 上に延在させ、この絶縁膜パターン 45b とソース側サイドウォール 45a とゲート電極 16 とをマス

クとしてイオン注入によりソース・ドレイン領域 43a、43b および LDD 領域 44 を形成する。すなわち、LDD 領域 44 は絶縁膜パターン 45b を介して、基板 13 上から注入された不純物による拡散層で、その濃度は、絶縁膜パターン 45b の膜厚とイオン注入の際のエネルギーとの条件を最適化することにより所望の値に設定することができる。

【0066】また、このような濃度制御が可能な LDD 領域 44 が、一度のイオン注入でソース・ドレイン領域 43a、43b と同時に形成でき、製造が容易である。このため、ドレイン領域 43b とゲート電極 16 との間の基板 13 における寄生抵抗が、LDD 領域 44 の濃度を制御することによって、容易に制御できる。従って、ソース領域 43a 側では上記実施の形態 5 と同様に寄生抵抗の増大が防止でき、ドレイン領域 43b 側ではトランジスタの良好な駆動性能を保ちながら、ゲート・ドレイン間耐圧が向上した MOS 型トランジスタが得られる。

【0067】また、絶縁膜パターン 45b は、イオン注入の際の注入マスクとして実質有効となるゲート電極 16 端部から外側の領域だけでなく、ゲート電極 16 上から大きく形成しているため、製造上のマージンが大きくなって、ゲート電極 16 とドレイン領域 43b との離間寸法が、微細寸法で制御し易くなり、寄生抵抗の制御性がさらに向上する。

【0068】さらに、シリサイド技術を用いたシリサイド層 46 の形成により、コンタクト抵抗の低減およびゲート電極 16、ソース・ドレイン領域 43a、43b の低抵抗化の効果を併せて有することができる。

【0069】なお、この実施の形態においても、シリサイド層 46 の形成と、ソース・ドレイン領域 43a、43b の形成とは形成の順序を逆にしても良く、絶縁膜 45 およびシリサイド層 46 の材料についても、他の絶縁膜および他の高融点金属をシリサイド化させたものでも良い。

【0070】また、電極配線層 22 をゲート電極 16 上に接続するのに、シリサイド層 46a 形成領域内で接続すると、ゲート電極 16 と電極配線層 22 とのコンタクト抵抗の低減化がさらに図れる。

【0071】さらにまた、この実施の形態で示した MOS 型トランジスタのソース側とドレイン側とを反転させて、上記実施の形態 4 で示した 2 電源反転の入出力バッファに適用させることもできる。

【0072】

【発明の効果】以上の様にこの発明によると、ソース・ドレイン領域の少なくとも一方をゲート電極と離間し、当該ソース・ドレイン領域表面のシリサイド技術によるシリサイド層を、当該ソース・ドレイン領域よりもさらにゲート電極から離間したため、ゲート電極がオフセット構造であることの効果を損なうことなく、シリサイド

技術によるコンタクト抵抗の低減、およびソース・ドレイン領域の低抵抗化が図れ、高速で優れた特性を有する半導体装置が得られる。

【0073】またこの発明によると、ソース領域をゲート電極と近接し、ドレイン領域をゲート電極と離間したため、オフセット構造によるゲート・ドレイン間耐圧の向上と、サリサイド技術によるコンタクト抵抗の低減、およびソース・ドレイン領域の低抵抗化との双方の効果を併せ持つ、高速で優れた特性を有する半導体装置が得られる。

【0074】またこの発明によると、ソース領域をゲート電極と離間し、ソース領域表面のサリサイド技術によるシリサイド層を、ソース領域よりもさらにゲート電極から離間したMOS型トランジスタを、外部信号を受け取る入出力バッファ内に配設したため、ソース電極側に寄生抵抗素子が内蔵されて、低電圧化されていない外部信号を受け取ることが可能で、しかもサリサイド技術によるコンタクト抵抗の低減、およびソース・ドレイン領域の低抵抗化が図れ、高速で優れた特性を有する半導体装置が得られる。

【0075】またこの発明によると、ゲート電極表面にも、サリサイド技術によるシリサイド層を形成したため、ゲート電極の低抵抗化、およびゲート電極へのコンタクト抵抗の低減化が図れ、半導体装置の高速化を一層進めることができる。

【0076】またこの発明によると、ゲート電極をポリシリコン膜とシリサイド層とが積層して堆積された二層構造としたため、短いゲート長であっても安定して低抵抗なシリサイド層をゲート電極に形成でき、ゲート電極の低抵抗化、およびゲート電極へのコンタクト抵抗の低減化の効果を信頼性良く確実に得られる。

【0077】またこの発明によると、ドレイン領域側のサイドウォールスペースを、ソース領域側のサイドウォールスペースよりも厚い幅に形成したため、ソース電極側の寄生抵抗の増大の防止と、ゲート・ドレイン間耐圧の向上とが図れ、しかもサリサイド技術によるコンタクト抵抗の低減と、ゲート電極およびソース・ドレイン領域の低抵抗化とを同時に図ることができる、高速で優れた特性を有する半導体装置が得られる。

【0078】またこの発明によると、ドレイン領域側のサイドウォールスペースを、約0.2 μm 程度を越えない寸法の幅で形成したため、トランジスタの良好な駆動性能を保ちながらゲート・ドレイン間耐圧の向上が図れ半導体装置の特性が一層向上する。

【0079】またこの発明によると、ソース領域側のサイドウォールスペースを、約0.1 μm 程度の寸法の幅で形成したため、ソース電極側の寄生抵抗の増大が確実に防止でき、半導体装置の特性が一層向上する。

【0080】またこの発明によると、ソース領域側のサイドウォールスペースをドレイン領域側のサイドウォール

ルスペースよりも厚い幅に形成したMOS型トランジスタを、外部信号を受け取る入出力バッファ内に配設したため、ソース電極側に寄生抵抗素子が内蔵されて、低電圧化されていない外部信号を受け取ることが可能で、しかもサリサイド技術によるコンタクト抵抗の低減と、ゲート電極およびソース・ドレイン領域の低抵抗化とを同時に図ることができる、高速で優れた特性を有する半導体装置が得られる。

【0081】またこの発明によると、ゲート電極のソース領域側にサイドウォールスペースを、ドレイン領域側に絶縁膜パターンを形成し、ドレイン領域をLDD構造としたため、ソース電極側の寄生抵抗の増大が防止でき、トランジスタの良好な駆動性能を保ちながらゲート・ドレイン間耐圧の向上が図れ、しかもサリサイド技術によるコンタクト抵抗の低減と、ゲート電極およびソース・ドレイン領域の低抵抗化とを同時に図ることができる、高速で優れた特性を有する半導体装置が得られる。

【0082】またこの発明によると、サイドウォールスペースを約0.1 μm 程度の寸法の幅で形成したため、ソース電極側の寄生抵抗の増大が確実に防止でき、半導体装置の特性が一層向上する。

【0083】またこの発明によると、ゲート電極のドレイン領域側にサイドウォールスペースを、ソース領域側に絶縁膜パターンを形成し、ソース領域をLDD構造としたMOS型トランジスタを、外部信号を受け取る入出力バッファ内に配設したため、ソース電極側の寄生抵抗が増大して低電圧化されていない外部信号を受け取ることが可能で、しかもサリサイド技術によるコンタクト抵抗の低減と、ゲート電極およびソース・ドレイン領域の低抵抗化とを同時に図ることができる、高速で優れた特性を有する半導体装置が得られる。

【0084】またこの発明によると、ゲート電極を覆い、隣接する半導体基板表面に渡って保護膜を形成して、サリサイド技術によりシリサイド層を形成し、レジストマスクを用いたイオン注入により、少なくとも一方がゲート電極と離間したソース・ドレイン領域を形成し、しかも上記保護膜の端部位置を上記レジストマスクの端部位置よりもゲート電極から離れた位置としたため、製造上のマージンが十分に取れることにより、ゲート電極と離間して形成されるソース・ドレイン領域表面のシリサイド層が、下層のソース・ドレイン領域よりも広がって形成されるのを防止し、オフセット構造による効果と、サリサイド技術によるコンタクト抵抗の低減および、ソース・ドレイン領域の低抵抗化の効果とを併せ持つ高速で優れた特性を有する半導体装置を容易に確実に製造できる。

【0085】またこの発明によると、ゲート電極と隣接する半導体基板上に、ゲート電極端部から所定の幅に渡って半導体基板表面が露出しない様に保護膜を形成して、サリサイド技術によりシリサイド層を形成し、レジ

ストマスクを用いたイオン注入により、少なくとも一方がゲート電極と離間したソース・ドレイン領域を形成し、しかも上記保護膜の端部位置を上記レジストマスクの端部位置よりもゲート電極から離れた位置としたため、製造上のマージンが十分に取れることにより、ゲート電極と離間して形成されるソース・ドレイン領域表面のシリサイド層が、下層のソース・ドレイン領域よりも拡がって形成されるのを防止し、オフセット構造による効果と、シリサイド技術によりゲート電極表面とソース・ドレイン領域表面とにシリサイド層が形成されたことによるコンタクト抵抗の低減およびゲート電極、ソース・ドレイン領域の低抵抗化の効果とを併せ持つ、高速で優れた特性を有する半導体装置を容易に確実に製造できる。

【0086】またこの発明によると、ゲート電極両側の側壁に第1のサイドウォールスペースを形成した後、その上に第2の絶縁膜を形成し、選択的に等方性エッチングにより、片側の第1のサイドウォール表面の第2の絶縁膜の膜厚を減少させ、その後全面異方性エッチングして、ゲート電極側壁に左右で幅の違う第2のサイドウォールスペースを形成する。このため、ゲート電極とソース・ドレイン領域との離間寸法を、微細寸法で信頼性良く容易に制御でき、高速で優れた特性を有する半導体装置を容易に確実に製造できる。

【0087】またこの発明によると、ゲート電極の一方側にサイドウォールスペースを、他方側に絶縁膜パターンを形成し、イオン注入により、高濃度のソース・ドレイン領域と絶縁膜パターン下層に配設されるLDD領域とを同時に形成する。このため、ゲート電極とソース・ドレイン領域との離間寸法における微細寸法での制御性が向上し、また、LDD領域の濃度が信頼性良く容易に制御できる。これにより、高速で優れた特性を有する半導体装置を、容易に確実に製造できる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による半導体装置の構造を示す断面図である。

【図2】 この発明の実施の形態1による半導体装置の製造方法の一工程を示す断面図である。

【図3】 この発明の実施の形態1による半導体装置の製造方法の一工程を示す断面図である。

【図4】 この発明の実施の形態1による半導体装置の製造方法の一工程を示す断面図である。

【図5】 この発明の実施の形態1による半導体装置の製造方法の一工程を示す断面図である。

【図6】 この発明の実施の形態1による半導体装置の製造方法の一工程を示す断面図である。

【図7】 この発明の実施の形態1による半導体装置の製造方法の一工程を示す断面図である。

【図8】 この発明の実施の形態1による半導体装置の製造方法の一工程を示す断面図である。

【図9】 この発明の実施の形態1による半導体装置の製造方法の一工程を示す断面図である。

【図10】 この発明の実施の形態1による半導体装置の製造方法の一工程を示す断面図である。

【図11】 この発明の実施の形態2による半導体装置の構造を示す断面図である。

【図12】 この発明の実施の形態2による半導体装置の製造方法の一工程を示す断面図である。

【図13】 この発明の実施の形態2による半導体装置の製造方法の一工程を示す断面図である。

【図14】 この発明の実施の形態2による半導体装置の製造方法の一工程を示す断面図である。

【図15】 この発明の実施の形態2による半導体装置の製造方法の一工程を示す断面図である。

【図16】 この発明の実施の形態2による半導体装置の製造方法の一工程を示す断面図である。

【図17】 この発明の実施の形態2による半導体装置の製造方法の一工程を示す断面図である。

【図18】 この発明の実施の形態2による半導体装置の製造方法の一工程を示す断面図である。

【図19】 この発明の実施の形態2による半導体装置の製造方法の一工程を示す断面図である。

【図20】 この発明の実施の形態2による半導体装置の製造方法の一工程を示す断面図である。

【図21】 この発明の実施の形態3による半導体装置の構造を示す断面図である。

【図22】 この発明の実施の形態4による半導体装置の回路図である。

【図23】 この発明の実施の形態4による半導体装置の構造を示す断面図である。

【図24】 この発明の実施の形態5による半導体装置の構造を示す断面図である。

【図25】 この発明の実施の形態5による半導体装置の製造方法の一工程を示す断面図である。

【図26】 この発明の実施の形態5による半導体装置の製造方法の一工程を示す断面図である。

【図27】 この発明の実施の形態5による半導体装置の製造方法の一工程を示す断面図である。

【図28】 この発明の実施の形態5による半導体装置の製造方法の一工程を示す断面図である。

【図29】 この発明の実施の形態5による半導体装置の製造方法の一工程を示す断面図である。

【図30】 この発明の実施の形態5による半導体装置の製造方法の一工程を示す断面図である。

【図31】 この発明の実施の形態5による半導体装置の製造方法の一工程を示す断面図である。

【図32】 この発明の実施の形態5による半導体装置の製造方法の一工程を示す断面図である。

【図33】 この発明の実施の形態6による半導体装置の構造を示す断面図である。

23

【図 3 4】 この発明の実施の形態 6 による半導体装置の製造方法の一工程を示す断面図である。

【図 3 5】 この発明の実施の形態 6 による半導体装置の製造方法の一工程を示す断面図である。

【図 3 6】 この発明の実施の形態 6 による半導体装置の製造方法の一工程を示す断面図である。

【図 3 7】 この発明の実施の形態 6 による半導体装置の製造方法の一工程を示す断面図である。

【図 3 8】 この発明の実施の形態 6 による半導体装置の製造方法の一工程を示す断面図である。

【図 3 9】 この発明の実施の形態 6 による半導体装置の製造方法の一工程を示す断面図である。

【図 4 0】 この発明の実施の形態 6 による半導体装置の製造方法の一工程を示す断面図である。

【図 4 1】 従来の半導体装置の構造を示す断面図である。

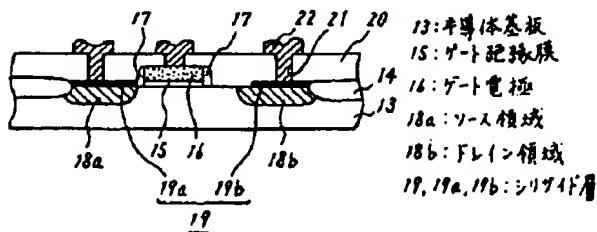
【図 4 2】 従来の別例による半導体装置の構造および製造方法を示す断面図である。

【図 4 3】 従来の半導体装置の問題点を説明する断面図である。

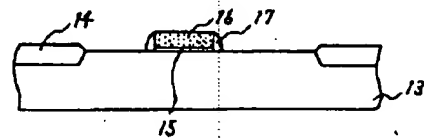
【符号の説明】

13 半導体基板、15 ゲート絶縁膜、16 ゲート電極、16 a ポリシリコン膜、16 b シリサイド層、18 a ソース領域、18 b ドレイン領域、19、19 a、19 b、19 c シリサイド層、23 保護膜、26 レジストマスクとしてのレジスト・パターン、27 保護膜、32 a ソース領域、32 b ドレイン領域、33 MOS型トランジスタ、34 a、34 b シリサイド層、35 a ソース領域、35 b ドレイン領域、36 第2のサイドウォールスペーサとしてのソース側サイドウォール、37 第2のサイドウォールスペーサとしてのドレイン側サイドウォール、38 シリサイド層、39 第1の絶縁膜としてのSiO₂膜、39 a、39 b 第1のサイドウォールスペーサ、40 第2の絶縁膜としてのSiO₂膜、41 レジスト・パターン、43 a ソース領域、43 b ドレイン領域、44 LDD領域、45 a サイドウォール、45 b 絶縁膜パターン、45 c 絶縁膜としてのSiO₂膜、46、46 a、46 b、46 c シリサイド層、47 レジスト・パターン。

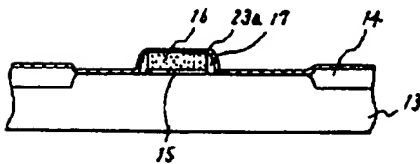
【図 1】



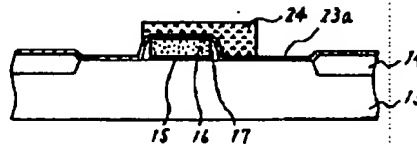
【図 2】



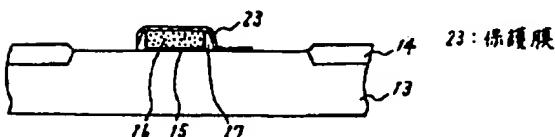
【図 3】



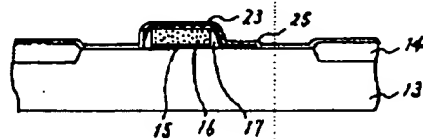
【図 4】



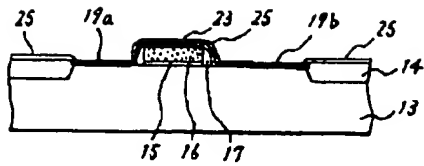
【図 5】



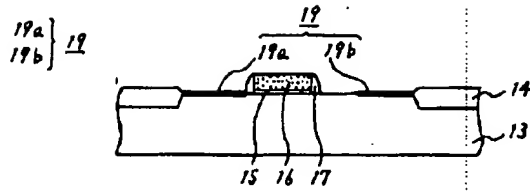
【図 6】



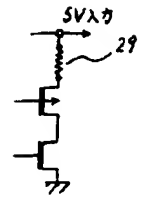
【図 7】



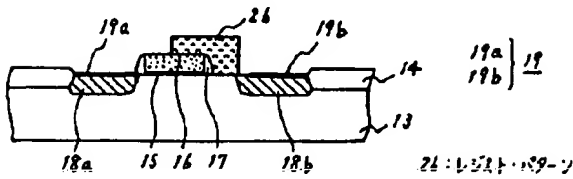
【図 8】



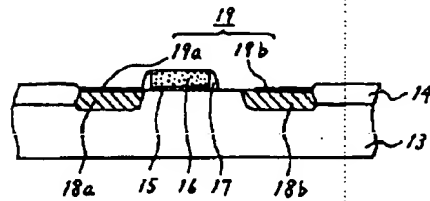
【図 22】



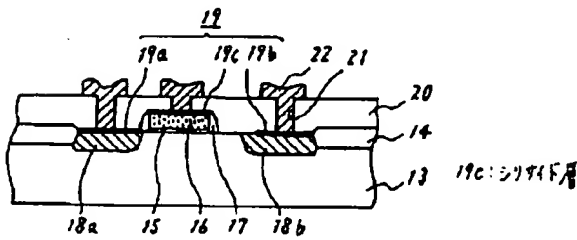
【図 9】



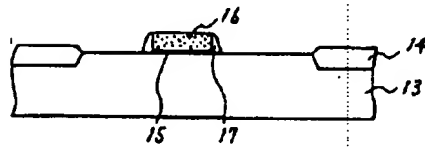
【図 10】



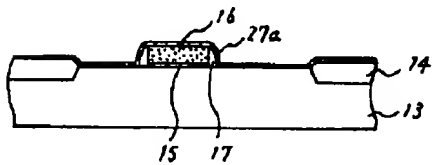
【図 11】



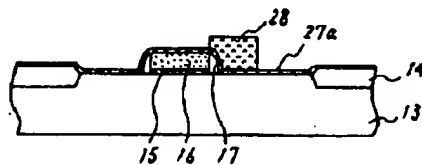
【図 12】



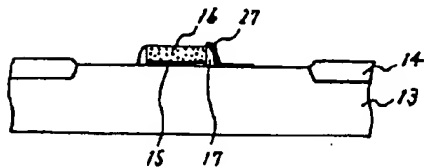
【図 13】



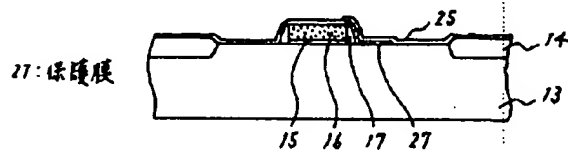
【図 14】



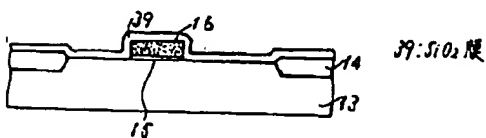
【図 15】



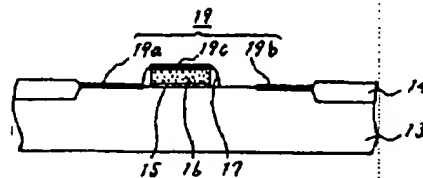
【図 16】



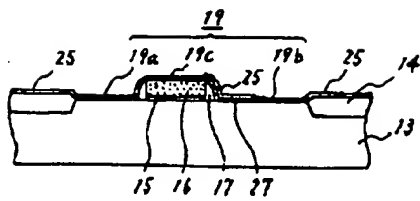
【図 25】



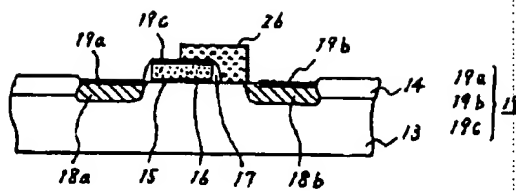
【図 18】



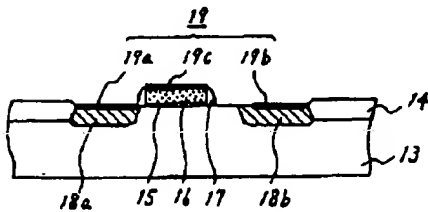
【図17】



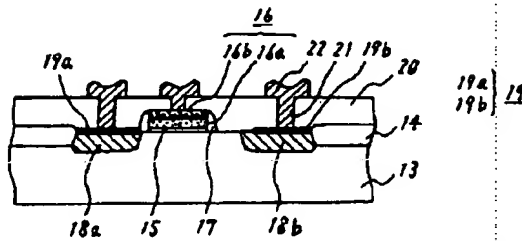
【図19】



【図20】

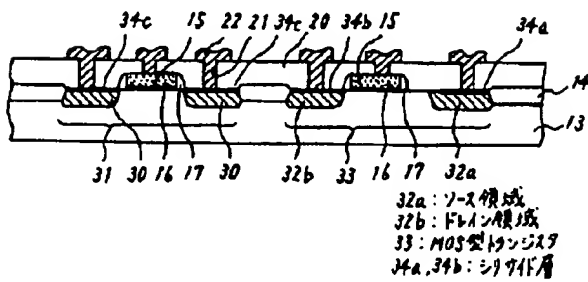


【図21】



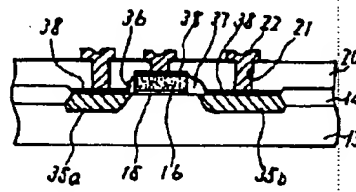
16a: ポリシリコン膜
16b: シリサイド層

【図23】



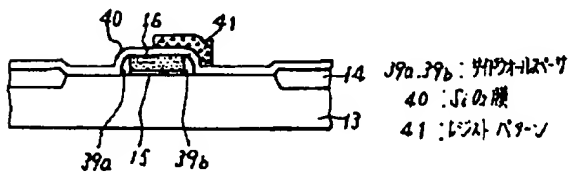
32a: ソース領域
32b: ドレイン領域
33: MOS型トランジスタ
34a, 34b: シリサイド層

【図24】



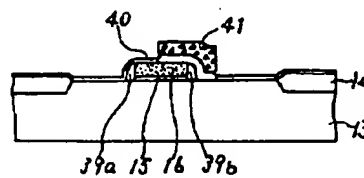
35a: ソース領域
35b: ドレイン領域
36: ソース側サイドウォール
37: ドレイン側サイドウォール
38: シリサイド層

【図26】

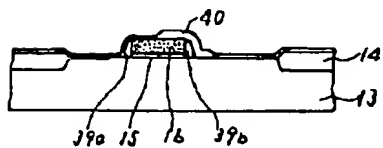


39a, 39b: サイドウォール
40: Si₃N₄膜
41: レジストパターン

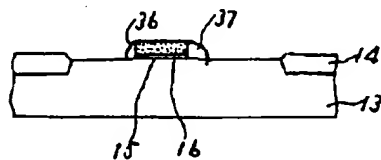
【図27】



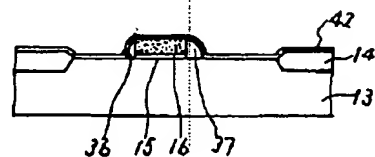
【図28】



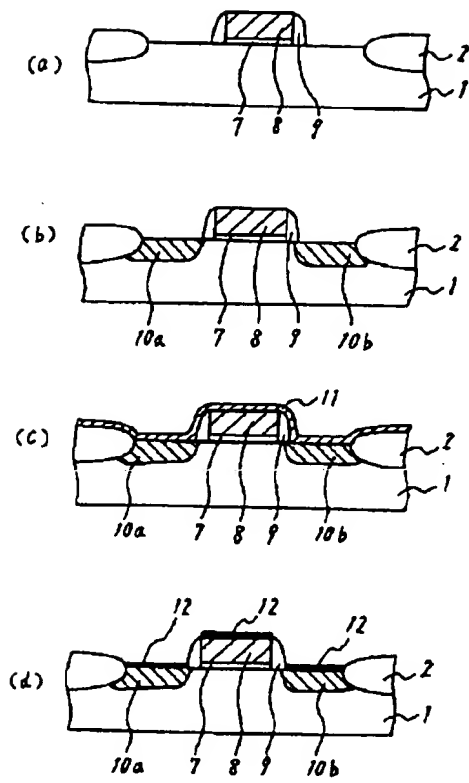
【図29】



【図30】



【図 4 2】



【図 4 3】

